

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003 年 7 月 17 日 (17.07.2003)

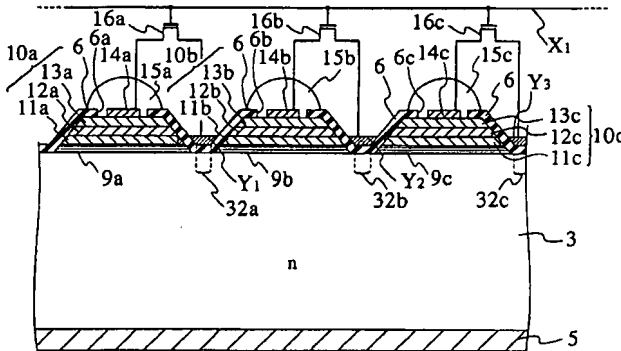
PCT

(10) 国際公開番号
WO 03/058726 A1

- (51) 国際特許分類: H01L 33/00 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 大塚 康二 (OHTUKA, Koji) [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP). 室伏 仁 (MUROFUSHI, Hitoshi) [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP).
- (21) 国際出願番号: PCT/JP02/13835
- (22) 国際出願日: 2002 年 12 月 27 日 (27.12.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2001-402006
2001 年 12 月 28 日 (28.12.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 Saitama (JP).
- (74) 代理人: 三好 秀和 (MIYOSHI, Hidekazu); 〒105-0001 東京都 港区 虎ノ門 1 丁目 2 番 3 号 虎ノ門第一ビル 9 階 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, US.
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR LIGHT-EMITTING DEVICE, LIGHT-EMITTING DISPLAY, METHOD FOR MANUFACTURING SEMICONDUCTOR LIGHT-EMITTING DEVICE, AND METHOD FOR MANUFACTURING LIGHT-EMITTING DISPLAY

(54) 発明の名称: 半導体発光素子、発光表示体、半導体発光素子の製造方法及び発光表示体の製造方法



(57) Abstract: A semiconductor light-emitting device comprising a substrate (3), light-emitting device layers (10a, 10b, 10c) so formed on the substrate (3) as to be isolated from one another and each made of a semiconductor material the forbidden band width of which is larger than that of the substrate (3), and phosphors (15a, 15b, 15c) which convert the wavelengths of light from the light-emitting device layers (10a, 10b, 10c) into other wavelengths.

(57) 要約:

基板 (3) と、基板 (3) 上に互いに分離形成され、それぞれ基板 (3) より禁制帯幅の広い半導体材料からなる複数の発光素子層 (10a, 10b, 10c) と、発光素子層 (10a, 10b, 10c) からの光の波長を他の波長に変換する蛍光体 (15a, 15b, 15c) とを備える半導体発光素子。

- 1 -

明 細 書

半導体発光素子、発光表示体、半導体発光素子の製造方法及び発光表示
体の製造方法

技術分野

本発明は、半導体発光素子及び発光表示体に係り、特に半導体発光素子層からの光の波長を他の波長に変換する半導体発光素子、発光表示体、半導体発光素子の製造方法及び発光表示体の製造方法に関する。

背景技術

フルカラーのフラットパネルディスプレイ等の発光表示体において、液晶（LCD）を用いたものと、有機エレクトロルミネセンス（有機EL）を用いたものが公知である。

しかし、高精細で信頼性の高い画像や動画を得たい場合、LCDを使用したディスプレイでは表示速度が遅いという欠点を有する。又、有機ELを使用したディスプレイでは、寿命や耐環境性に問題がある。更に、LCDや有機ELを使用したディスプレイでは、窓やカラーフィルタによる光の損失が大きく、無駄なエネルギーを要するという欠点がある。その他、生産工程が複雑であること、ローコスト化が困難であること等の問題点が存在する。

発明の開示

上記事項を鑑み、本発明は、表示速度が速く、長寿命であり、耐環境性に優れ、光の損失が小さくエネルギーを節約出来、生産工程が簡単で、ローコスト化が図れる半導体発光素子、発光表示体及び半導体発光素子

の製造方法及び発光表示体の製造方法を提供することを目的とする。

上記目的を達成するために、本発明の第 1 の特徴は、（イ）基板と、（ロ）基板上に互いに分離形成され、それぞれ基板より禁制帯幅の広い半導体材料からなる複数の発光層と、（ハ）発光層からの光の波長を他の波長に変換する蛍光体とを備える半導体発光素子であることを要旨とする。

又、本発明の第 2 の特徴は、基板と、基板上に複数の単位画素を配置した発光表示体であって、前記単位画素は、（イ）基板上に互いに分離形成され、それぞれ基板より禁制帯幅の広い半導体材料からなる複数の発光層と、（ロ）発光層からの光の波長を他の波長に変換する蛍光体とからなる発光表示体であることを要旨とする。

又、本発明の第 3 の特徴は、（イ）基板上に、基板より禁制帯幅の広い発光層を形成し、（ロ）発光層を分離して複数の発光素子層を形成し、（ハ）発光素子層上に、発光素子層からの光の波長を他の波長に変換する蛍光体を形成する半導体発光素子の製造方法であることを要旨とする。

又、本発明の第 4 の特徴は、基板と、基板上に複数の単位画素を配置した発光表示体の製造方法であって、（イ）基板上に、基板より禁制帯幅の広い発光層を形成し、（ロ）発光層を分離して複数の発光素子層を形成し、（ハ）発光素子層上に、発光素子層からの光の波長を他の波長に変換する蛍光体を形成することにより単位画素を形成する発光表示体の製造方法であることを要旨とする。

図面の簡単な説明

Fig. 1 は本発明の第 1 の実施例に係る半導体発光素子及び発光表示体を説明するための断面図（Fig. 2 に示す I - I 部の断面図）である。

Fig. 2 は本発明の第 1 の実施例に係る半導体発光素子及び発光表示体を

説明するための上面図である。

Fig. 3は本発明の第1の実施例に係る発光表示体の部分的な等価回路図である。

Fig. 4は本発明の第1の実施例に係る DBR の断面図である。

Fig. 5は本発明の第1の実施例に係る半導体発光素子及び発光表示体の製造方法を説明する工程断面図（その1）である。

Fig. 6は本発明の第1の実施例に係る半導体発光素子及び発光表示体の製造方法を説明する工程断面図（その2）である。

Fig. 7は本発明の第2の実施例に係る半導体発光素子及び発光表示体を説明するための断面図である。

Fig. 8は本発明の第2の実施例に係る半導体発光素子及び発光表示体の製造方法を説明する工程断面図（その1）である。

Fig. 9は本発明の第2の実施例に係る発光表示体の製造方法を説明する工程断面図（その2）である。

Fig. 10は本発明の第3の実施例に係る半導体発光素子及び発光表示体を説明するための断面図である。

Fig. 11は本発明の第4の実施例に係る半導体発光素子及び発光表示体を説明するための断面図（Fig. 12に示す I - I 部の断面図）である。

Fig. 12は本発明の第4の実施例に係る半導体発光素子及び発光表示体を説明するための上面図である。

Fig. 13は本発明の第4の実施例に係る半導体発光素子及び発光表示体の部分的な等価回路図である。

Fig. 14は本発明の第4の実施例に係る半導体発光素子及び発光表示体の製造方法を説明する工程断面図（その1）である。

Fig. 15は本発明の第4の実施例に係る半導体発光素子及び発光表示体の製造方法を説明する工程断面図（その2）である。

Fig. 16は本発明の第5の実施例に係る半導体発光素子及び発光表示体を説明するための断面図である。

Fig. 17は本発明の第5の実施例に係る半導体発光素子及び発光表示体の製造方法を説明する工程断面図である。

Fig. 18は本発明の第6の実施例に係る半導体発光素子及び発光表示体を説明するための断面図である。

Fig. 19は本発明の第6の実施例に係る半導体発光素子及び発光表示体の製造方法を説明する工程断面図（その1）である。

Fig. 20は本発明の第6の実施例に係る半導体発光素子及び発光表示体の製造方法を説明する工程断面図（その2）である。

発明を実施するための最良の形態

次に、図面を参照して、本発明の実施例を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

（第1の実施例）

本発明の第1の実施例に係る発光表示体は、Fig. 1に示すように、基板3と、基板3上に互いに分離形成された複数の（第1～第3の）発光素子層10a～10cと、第1～第3発光素子層10a上に配置され、第1～第3発光素子層10a～10cからの光の波長を他の波長に変換する第1～第3蛍光体15a～15cとを備える。

Fig. 1には、1単位画素（ピクセル）を構成する第1～第3発光素子層10a, 10b, 10c及び第1～第3蛍光体15a～15cを含む半導体発光素子を示すが、本発明の第1の実施例に係る発光表示体は、実際は発光表示体を構成する $m \times n$ マトリクスを構成する複数の単位画素（ピクセル）が配列されている。このため、現実には、Fig. 1に図示した以外の第1発光素子層10a, 10e, ……及び第1蛍光体15a, 15e, ……、第2発光素子層10b, 10f, ……及び第2蛍光体15b, 15f, ……、第3発光素子層10c, 10d, ……及び第3蛍光体15c, 15d, ……とが存在する。以下に述べる本発明の第1乃至第6の実施例等において、Fig. 1～Fig. 20中で図示を省略した他のピクセルを構成する発光素子層等については、記号「……」を用いて、表示している。

本発明の第1の実施例に係る発光表示体は更に、基板3と第1～第3発光素子層10a, 10b, 10c, ……の間にDBR9a, 9b, 9c, ……がそれぞれ配置されている。又、基板3の裏面（第2主表面）に配置されたカソード電極5と、基板3の露出部、DBR9a, 9b, 9c, ……の露出部及び第1～第3発光素子層10a, 10b, 10c, ……の露出部を覆うように配置されたシリコン酸化膜6と、第1～第3発光素子層10a, 10b, 10c, ……上の、シリコン酸化膜6の窓6a, 6b, 6c, ……の内側に配置されたアノード電極14a, 14b, 14c, ……とを更に有する。

Fig. 1に示された第1～第3発光素子層10a, 10b, 10c, ……及びDBR9a, 9b, 9c, ……は、Fig. 2に示すように、X軸方向に互いに並列して走行する複数の溝31a, 31b, 31c, ……と、この複数の溝31a, 31b, 31c, ……に直交するY軸方向に沿って互いに並列して走行する複数の溝32a, 32b, 32c, ……によ

り網目状に区画されている。又、第1～第3蛍光体15a～15f, ……は、光を導出する窓6a～6f, ……をそれぞれ覆うように規則的に配置されており、これによりドットマトリクス状のフルカラー発光表示体を構成している。このため、水平方向に走行する複数のゲート電極線 X_1, X_2, X_3, \dots と、ゲート電極線 X_1, X_2, X_3, \dots に直交して、垂直方向に平行に走行する複数のソース電極線 Y_1, Y_2, Y_3, \dots とによりマトリクスを構成している。複数のゲート電極線 X_1, X_2, X_3, \dots は、Fig. 2及びFig. 3に示すように、シリコン酸化膜6上の溝31a, 31b, 31c, ……にそれぞれ一本ずつ配置され、100nm程度の厚さの配線である。複数のソース電極線 Y_1, Y_2, Y_3, \dots は、シリコン酸化膜6及び層間絶縁膜17a～17i, ……上の溝32a, 32b, 32c, ……に対応する部分に、それぞれ配置されている。

このマトリクスの交点付近にそれぞれの画素が配置される。更に、各画素の発光素子層10a～10f, ……にはアノード電極14a～14f, …… (Fig. 2) を介して、薄膜トランジスタ (TFT) 16a～16f, ……のドレイン電極が接続されている。TFT 16a～16f, ……は、例えばポリシリコン (p-Si) TFTの場合はプレーナ型やスタガ型、アモルファスシリコン (a-Si) TFTの場合は正スタガ型や逆スタガ構造等があるが、その実施例に適切なTFT構造が採用される。TFT 16a～16f, ……の配置位置は特に限定されず、適宜選択されるが、例えばシリコン酸化膜6上の、ゲート電極線 X_1, X_2, X_3, \dots とソース電極線 Y_1, Y_2, Y_3, \dots との交点付近に配置される。そして、TFT 16a～16f, ……のゲート電極は、Fig. 3に示すように、ゲート電極線 X_1, X_2, X_3, \dots にそれぞれ電氣的に接続される。又、TFT 16a～16fのソース電極はソース電極線 Y_1, Y_2, Y_3, \dots とそれぞれ電氣的に接続されている。Fig. 3に示すよう

に、複数のゲート電極線 X_1, X_2, X_3, \dots は走査信号回路 61、複数のソース電極線 Y_1, Y_2, Y_3, \dots はデータ信号回路 62 に接続されている。走査信号回路 61 とデータ信号回路 62 とで駆動回路 4 が構成されている。なお、Fig. 2 に示すゲート電極線 X_1, X_2, X_3, \dots 及びソース電極線 Y_1, Y_2, Y_3, \dots の配置位置は一例であり、発光表示体の構成や形状に応じて適宜選択される。基板 3 としては、(100) 面を有する n^+ 型シリコン単結晶からなる低抵抗性基板が使用可能である。例えば、アンチモン (Sb) 若しくは磷 (P) 等の n 型不純物を、不純物密度 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 程度に導入した、FZ 基板、CZ 基板、若しくは MCZ 基板等を用いれば良い。基板 3 はカソード電極 5 と共に、複数の発光素子層 10a, 10b, 10c, \dots の共通のカソード領域及び支持体として機能する。上記の不純物密度での抵抗率は $0.0015 \Omega \text{ cm} \sim 0.01 \Omega \text{ cm}$ 程度である。本発明の第 1 の実施例において、基板 3 の厚みは、発光素子層 10a, 10b, 10c, \dots 等の支持体として良好に機能するように、 $350 \mu\text{m}$ 程度に設定されている。

DBR 9a, 9b, 9c, \dots は、Fig. 4 に示すように、低屈折率層 201a \sim 201j と高屈折率層 202a \sim 202j がそれぞれ 10 層ずつ、合計 20 層の膜が交互に積層されている。更に、低屈折率層 201a は、井戸層 21a とバリア層 22a とで構成されている。低屈折率層 201b は井戸層 21b とバリア層 22b とで構成され、 \dots 、低屈折率層 201j は井戸層 21j とバリア層 22j とで構成されている。又、高屈折率層 202a は井戸層 23a とバリア層 24a とで構成されている。高屈折率層 202b は井戸層 23b とバリア層 24b とで構成され、 \dots 、高屈折率層 202j は井戸層 23j とバリア層 24j とで構成されている。即ち、井戸層 21a, バリア層 22a, 井戸層 23a,

バリア層 2 4 a, 以下同様にバリア層 2 1 b, 井戸層 2 2 b, ……; バリア層 2 3 j, 井戸層 2 4 j と順次積層されている。

低屈折率層の井戸層 2 1 a ~ 2 1 j は $\text{Al}_x\text{Ga}_{1-x}\text{N}$ (組成値は $0 \leq x \leq 0.5$) 等からなる。例えば $x = 0$ とすれば、 GaN からなる極薄の n 型半導体層となる。又、低屈折率層のバリア層 2 2 a ~ 2 2 j は $\text{Al}_w\text{Ga}_{1-w}\text{N}$ (各組成値は $w \geq z$) 等からなる。例えば $w = 0$ として、窒化アルミニウム (AlN) からなる極薄の絶縁膜となる。又、高屈折率層の井戸層 2 3 a ~ 2 3 j は $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ (各組成値は $0 \leq x \leq 0.5$, $0 \leq y \leq 1$, $0 \leq x + y \leq 1$) 等からなる。例えば $x = y = 0$ とすれば、窒化インジウム (InN) からなる極薄の n 型半導体層となる。又、高屈折率層のバリア層 2 4 a ~ 2 4 j は $\text{Al}_t\text{Ga}_{1-t}\text{N}$ (組成値は $0 \leq t \leq 1$) 等からなる。例えば $t = 0$ として、 GaN からなる極薄の絶縁膜とすることが出来る。ここで、低屈折率層の井戸層 2 1 a ~ 2 1 j、低屈折率層のバリア層 2 2 a ~ 2 2 j 及び高屈折率層の井戸層 2 3 a ~ 2 3 j は、高屈折率層のバリア層 2 4 a ~ 2 4 j よりもインジウム (In) の含有率が低いか、或いは In を含まない。DBR 9 a, 9 b, 9 c, ……の各層の厚みは、発光素子層 1 0 a, 1 0 b, 1 0 c, ……から出力される光の波長により任意に決定される。本発明の第 1 の実施例において、発光素子層 1 0 a, 1 0 b, 1 0 c, ……が実質的に 380 nm の波長の光を出力する。DBR 9 a, 9 b, 9 c, ……の各層の厚みは $\lambda / 4 \times 1 / n$ (λ は発光波長、 n は屈折率) により求められ、光の波長に対して最大反射率を有する値に設定されている。井戸層 2 1 a ~ 2 1 j 及び井戸層 2 3 a ~ 2 3 j の厚みは、量子井戸準位が出来るように 0.5 ~ 20 nm 程度が好ましい。バリア層 2 2 a ~ 2 2 j 及びバリア層 2 4 a ~ 2 4 j の厚みは、量子力学的なトンネル効果が生じるように 0.5 ~ 10 nm 程度が好ましい。なお、DBR 9 a, 9 b,

9 c, ……は、本出願人の提案した特開 2 0 0 1 - 2 9 1 8 9 6 号公報等の開示されている。

第 1 ～ 第 3 発光素子層 1 0 a, 1 0 b, 1 0 c, ……は、ワイドバンドギャップ半導体等の基板より禁制帯幅の広い半導体材料からなる。即ち、第 1 ～ 第 3 発光素子層 1 0 a ～ 1 0 c から出力される光に対して、基板 3 が不透明となる。ここで、「ワイドギャップ半導体（広禁止帯幅半導体）」とは、半導体産業において早くから研究され、実用化進んだシリコン（禁止帯幅約 1. 1 e V）や砒化ガリウム（禁止帯幅約 1. 4 e V）等の通常の禁止帯幅を有する半導体材料に対比する用語である。

「半導体用語大辞典」（日刊工業新聞社）では、『2. 6 e V 以上の禁制帯幅を有する半導体材料をワイドギャップ半導体という』と定義している。おおよそ 2. 4 5 e V 以上をワイドギャップ半導体というとして定義している文献もあり、必ずしも定義は明確ではない。「ワイドギャップ半導体」に対比し、禁制帯幅が 0. 2 e V 以下のインジウム・アンチモン、水銀カドミウムテルル等の半導体材料が、狭禁止帯幅半導体（ナローギャップ半導体）と呼ばれるのも当業者周知の事実である。したがって、「ワイドギャップ」や「ナローギャップ」とは、「比較の基準」が必要となるような相対的な幅を意味する用語ではなく、当業者に自明な絶対的な禁制帯幅を意味する用語であることに留意されたい。本発明においては、2. 4 5 e V 以上の禁制帯幅を有する半導体材料を「ワイドギャップ半導体」と定義する。

第 1 発光素子層 1 0 a は、例えば、窒化ガリウム（G a N）等からなる n 型半導体領域（n 型クラッド層）1 1 a と、n 型クラッド層 1 1 a 上に配置された窒化ガリウムインジウム（I n G a N）等からなる故意には不純物をドーピングしない活性層 1 2 a と、活性層 1 2 a 上に配置された G a N 等からなる p 型半導体領域（p 型クラッド層）1 3 a とから構

成されているDH構造の発光ダイオード(LED)である。「故意には不純物をドーピングしない半導体領域」とは、理想的には、実質的にi型半導体領域(真性半導体領域)と見なせる、若しくは、n⁻型(ν型)若しくはp⁻型(π型)等の低不純物密度の半導体領域が対応する。しかし、現実には、「"故意には"不純物をドーピングしない」の文言は、意図しない極僅かなp型若しくはn型のドーパントの残留を許容する。現在の化合物半導体の結晶成長技術のレベルを考慮すると、不純物密度 $5 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 程度の半導体領域であっても、「故意には不純物をドーピングしない半導体領域」と呼ぶことが可能である。以下においては、「故意には不純物をドーピングしない」を「ノンドープの」という。又、第2発光素子層10bの構造は、第1発光素子層と実質的に同様であり、n型GaNクラッド層11b、ノンドープInGaN活性層12b、p型GaNクラッド層13bを備えたDH構造のLEDである。又、第3発光素子層10cの構造は、第1及び第2発光素子層10a、10bと実質的に同様であり、n型GaNクラッド層11c、ノンドープInGaN活性層12c、p型GaNクラッド層13cを備えたDH構造のLEDである。したがって、第1～第3蛍光体15a～15cは、詳しくはp型クラッド層13a、13b、13c上にそれぞれ配置されている。

なお、第1～第3発光素子層10a、10b、10c、……としては、GaNの他に、例えば禁制帯幅約5.9 eVのアルミニウム燐(AIP)、禁制帯幅約2.6 eVのセレン化亜鉛(ZnS)、禁制帯幅約3.6 eVの硫化亜鉛(ZnS)、禁制帯幅約4.5 eVの硫化マグネシウム(MgS)等のワイドバンドギャップ半導体のpn接合を用いたものや、これらの3元系、若しくは4元系化合物を用いたシングルヘテロ(SH)構造、ダブルヘテロ(DH)構造等の種々の構造が使用可能である。発光素子層の基板3としては、例えばシリコン単結晶基板、サフ

アイア (Al_2O_3) 基板やガリウム砒素 (GaAs) 基板等の種々の低抵抗性基板が使用可能である。また、第1～第3発光素子層10a, 10b, 10c, ……から出力される励起光は互いに同一の波長の光であっても良く、互いにそれぞれ異なる波長の光であっても良い。

アノード電極14a, 14b, 14c, ……は、光透過性を有する、例えば酸化錫 (SnO_2) 膜や酸化インジウム錫 (ITO) 膜等の金属酸化物の薄膜を用いれば良い。或いは、光透過性を有する十分な薄さのニッケル金 (AuNi) 合金膜等の金属薄膜も使用可能である。発光素子層10a～10f, ……から出力された紫外光等の出力光は、Fig. 1及びFig. 2に示すシリコン酸化膜6の窓6a～6f, ……から外部に導出される。なお、出力光は透過性を有するアノード電極14a～14f, ……からも導出される。

第1蛍光体15a, 15e, ……は、第1発光素子層10a, 10e, ……からの光の波長を例えば赤色光の第1波長に変換する。又、第2蛍光体15b, 15f, ……は、第2発光素子層10b, 10f, ……からの光の波長を第1波長と異なる例えば青色光の第2波長に変換する。更に、第3蛍光体15c, 15d, ……は、第3発光素子層10c, 10d, ……からの光を第1及び第2波長といずれも異なる例えば緑色光の第3波長に変換する。蛍光体15a～15c, ……は、例えばイットリウム・アルミニウム・ガーネット (YAG) 蛍光体や有機物蛍光体等の蛍光体を使用可能である。具体的には、発光素子層10a, 10b, 10c, ……から紫外光が出力される場合、例えば、第1蛍光体15a, 15d, ……は第1波長の光として赤色に変換する $\text{Y}_2\text{O}_2\text{S}:\text{Eu}$ 等の蛍光体であり、第2蛍光体15b, 15e, ……は第2波長の光として青色に波長変換する $\text{BaMg}_2\text{Al}_{16}\text{O}_{27}:\text{Eu}$ 等の蛍光体であり、第3蛍光体15c, 15f, ……は第3波長の光として緑色に波長変換する

$\text{BaMg}_2\text{Al}_{16}\text{O}_{27}:\text{Eu}, \text{Mn}$ 等の蛍光体が好適である。一方、第1～第3発光素子層10a, 10b, 10c, ……が青色LEDの場合、第1蛍光体15a, 15d, ……は例えば第1波長の光として赤色に波長変換する $\text{CaS}:\text{Eu}$ 等の第1蛍光体である。又、第3蛍光体15c, 15f, ……は第3波長の光として緑色に波長変換する $\text{ZnS}:\text{Ca}$ 等の第3蛍光体が好適である。なお、発光素子層10a, 10b, 10c, ……から出力される光が青色なので、第2波長の光として青色に波長変換する第2蛍光体15b, 15e, ……は不要である。

本発明の第1の実施例に係る発光表示体の駆動方法は、アクティブマトリクス駆動と同様なランダムアクセス駆動である。例えば、Fig. 3において、走査信号回路61によりゲート電極線 X_2 が走査されて正のパルス電圧が加えられるタイミングを合わせて、データ信号回路62からソース電極線 Y_1, Y_2, Y_3, \dots に所定の信号電圧がそれぞれ印加される。このとき、ソース電極線 Y_2 に発光素子層10a～10f, ……が発光するレベルの電圧を印加し、他のソース電極線 Y_1, Y_3, \dots には発光素子層10a～10f, ……が発光しないレベルの電圧を印加すれば、発光素子層10bのみから発光する。

上述したように、本発明の第1の実施例に係る発光表示体によれば、第1～第3蛍光体15a～15c, ……によって第1～第3発光素子層10a, 10b, 10c, ……からの光の波長を他の第1、第2及び第3波長に変換することにより、表示速度を高速化出来、長寿命化出来、耐環境性、信頼性も向上させることが出来る。

又、第1～第3蛍光体15a～15c, ……を有することにより、カラーフィルタは不要となり、光の損失を極めて少なく出来る。更に、製造工程を簡易化出来、ローコスト化を図ることが出来る。

又、基板3が第1～第3発光素子層10a, 10b, 10c, ……か

らの光に不透明であることにより、基板 3 が第 1 ～第 3 発光素子層 10 a, 10 b, 10 c, ……から基板 3 側に出力された比較的波長の短い光（紫外～青色光）を良好に吸収できる。このため、光のにじみや、隣接する発光素子層 10 a, 10 b, 10 c, ……から出力される光の混色の発生を防止できる。更に、基板 3 としてシリコン単結晶基板を用いることにより、基板 3 内にドライバ IC 等の半導体素子を容易に集積化できる。また、第 1 ～第 3 発光素子層 10 a, 10 b, 10 c, ……として、基板 3 に良好に吸収される比較的波長の短い光を出力する窒化物系化合物半導体を用いることにより、フルカラーの発光表示体を容易に得ることができる。更には、窒化物系化合物半導体は特性ばらつきも少ないので、信頼性も向上する。

又、DBR 9 a, 9 b, 9 c, ……が In を含むことにより、DBR 9 a, 9 b, 9 c, ……はバッファ層として良好に機能し、基板 3 の結晶方位を良好に引き継ぐことが出来る。更に、基板と発光素子層との熱膨張係数の差異による歪の発生を良好に防止出来るので、DBR 9 a, 9 b, 9 c, ……上に結晶性の良好な GaN 系化合物半導体からなる発光素子層 10 a, 10 b, 10 c, ……を配置することが出来る。又、基板 3 は、発光素子層 10 a, 10 b, 10 c, ……から出力される波長 380 nm 程度の紫外光に対して不透明であり、出力された光の一部を吸収するので、発光効率が低下し、輝度が低下してしまう。本発明の第 1 の実施例においては、DBR 9 a, 9 b, 9 c, ……を有することにより、DBR 9 a, 9 b, 9 c, ……が反射膜として機能し、基板 3 に光を吸収させないので、発光素子の発光効率を増大することが出来る。更に、DBR 9 a, 9 b, 9 c, ……が基板 3 側ではなく、基板 3 上の溝により区画されることにより、隣り合う発光素子層 10 a, 10 b, 10 c, ……の混色を防止できる。

なお、第1～第3発光素子層10a, 10b, 10c, ……から出力される光の波長に応じて蛍光体15a, 15b, 15c, ……を使い分けるので、光の波長は特に限定されるものではない。即ち、蛍光体15a, 15b, 15c, ……により発光表示に適する第1、第2及び第3波長に変換可能な波長の光を出力する発光素子層10a, 10b, 10c, ……であれば、一般に青色から紫外にかけての波長の励起光を出力するので、第1～第3蛍光体15a, 15b, 15c, ……を有効に励起出来る。但し、第1～第3発光素子層10a, 10b, 10c, ……の組成・構成は特に限定されるものではないことは勿論である。以下に示す本発明の第2～第6の実施例においても、上述したように特に限定される必要はない。

次に、Fig. 5及びFig. 6を用いて、本発明の第1の実施例に係る発光表示体の製造方法を説明する。

(イ) 先ず、Fig. 5(a)に示すように、(100)面を主表面とするn型シリコン単結晶からなる基板3を用意する。次に、Fig. 5(b)に示すように(詳しくはFig. 2を参照。)、金属有機物化学気相成長(MOCVD)法等のエピタキシャル成長法を用いて、基板3上に、低屈折率層のバリア層21a, 低屈折率層の井戸層22a, 高屈折率層のバリア層23a, 高屈折率層の井戸層24a; 低屈折率層のバリア層21b, 低屈折率層の井戸層22b, ……; ……; ……、高屈折率層のバリア層23i, 高屈折率層の井戸層24i; 及び低屈折率層のバリア層21j, 低屈折率層の井戸層22j, 高屈折率層のバリア層23j, 高屈折率層の井戸層24jをこの順に積層し、DBR9を形成する。このDBR9は、低屈折率層のバリア層/低屈折率層の井戸層/高屈折率層のバリア層/高屈折率層の井戸層を1周期とし、10周期積層した構造である。引き続き、DBR9上に、Fig. 5(c)に示すように、n型クラッド層11、

ノンドープ活性層 12、及び p 型クラッド層 13 を順次連続的にエピタキシャル成長し、発光層 10 を形成する。

(ロ) 次に、レジストを p 型クラッド層 13 上にスピン塗布し、フォトリソグラフィ技術を用いてこのレジストをパターニングする。その後、Fig. 6 (a) に示すように、エッチング溶液として例えば塩酸／硝酸 ($\text{HCl} / \text{HNO}_3$) 溶液、水酸化ナトリウム (NaOH) 溶液や水酸化カリウム (KOH) 溶液等を用いたウェットエッチング等により、パターニングされたレジスト 51 をエッチングマスクとして用い、発光層 10 及び DBR 9 を基板 3 に達するまでエッチングする。この結果、複数の DBR 9 a, 9 b, 9 c, ……及び、DBR 9 a 上の第 1 発光素子層 10 a、DBR 9 b 上の第 2 発光素子層 10 b、DBR 9 c 上の第 3 発光素子層 10 c、……とに分離する。第 1 発光素子層 10 a は、Fig. 6 (a) に示すように、n 型クラッド層 11 a、ノンドープ活性層 12 a、p 型クラッド層 13 a から構成される。又、第 2 発光素子層 10 b は、n 型クラッド層 11 b、ノンドープ活性層 12 b、p 型クラッド層 13 b から、第 3 発光素子層 10 c は、n 型クラッド層 11 c、ノンドープ活性層 12 c、p 型クラッド層 13 c から構成される。なお、ウェットエッチングの代わりに、塩素 (Cl_2) ガス等を用いた反応性イオンエッチング (RIE) 法等の方法も使用可能である。その後、レジスト剥離剤 (レジストリムーバ) 等を用いて、レジスト 51 を除去する。

(ハ) 次に、CVD 法等により、基板 3、DBR 9 a, 9 b, 9 c, ……及び発光素子層 10 a, 10 b, 10 c, ……を覆うようにシリコン酸化膜 6 を積層する。リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた RIE 法等のエッチングにより、Fig. 6 (b) に示すように、シリコン酸化膜 6 中に、p 型クラッド層 13 a, 13 b, 13 c, ……をそれぞれ露出する窓 6 a, 6

b, 6 c, ……を開口する。

(二) 窓 6 a, 6 b, 6 c, ……の開口に用いた、レジストを除去後、リフトオフ法を用いるために、シリコン酸化膜 6 及び窓 6 a, 6 b, 6 c, ……上に新たなレジストを塗布し、リソグラフィ技術によりパターンニングする。そして真空蒸着法やスパッタリング法等により、AuNi 合金等の金属膜を光透過性を有するように薄く堆積する。そして、レジストをリフトオフすることにより、Fig. 6 (c) に示すように、発光素子層 10 a, 10 b, 10 c, ……上、詳しくは p 型クラッド層 13 a, 13 b, 13 c, ……上に p 型クラッド層 13 a, 13 b, 13 c, ……と低抵抗性オーミック接触するアノード電極 14 a, 14 b, 14 c, ……を形成する。

(ホ) 次に、スパッタリング法等によりウェハ表面の全面にタングステン (W)、チタン (Ti)、モリブデン (Mo) 等の高融点金属の薄膜を堆積する。そして、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた R I E 法等により溝 31 a, 31 b, 31 c, …… (Fig. 2) 上に、高融点金属からなるゲート電極線 X₁, X₂, X₃, …… (Fig. 2) をパターンニングする。このとき、ゲート電極線 X₁, X₂, X₃, ……は、外部の走査信号回路 61 (Fig. 2) に電氣的に接続するためのボンディングパッドまで、それぞれ延長形成される。次に、CVD 法により、ゲート電極線 X₁, X₂, X₃, ……上に第 1 層間絶縁膜を堆積する (図示省略)。更に、スパッタリング法等により第 1 層間絶縁膜の上部全面に新たな高融点金属の薄膜を堆積する。そして、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた R I E 法等により、溝 32 a, 32 b, 32 c, ……に沿って、ソース電極線 Y₁, Y₂, Y₃, ……を形成する。このとき、ソース電極線 Y₁, Y₂, Y₃, ……は、データ信

号回路 6 2 に電氣的に接続するためのボンディングパッドまで、それぞれ延長形成される。

(へ) 次に、CVD法により、ソース電極線 Y_1 , Y_2 , Y_3 , ……上に第 2 層間絶縁膜を堆積する (図示省略)。そして、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた R I E 法等により第 2 層間絶縁膜の一部に、アノード電極 1 4 a, 1 4 b, 1 4 c, ……の一部を露出するアノードコンタクトホール、ソース電極線 Y_1 , Y_2 , Y_3 , ……の一部を露出するソースコンタクトホールを開口する。そして、アノードコンタクトホール及びソースコンタクトホールを介して、第 2 層間絶縁膜の上部に、モノシラン (SiH_4)、ジシラン (Si_2H_6) 等を用いて、ポリシリコン層、若しくはアモルファスシリコン層を形成する。このとき、 SiH_4 若しくは Si_2H_6 にジボラン (B_2H_6) を p 型ドーパントガスとして添加し、p 型ポリシリコン層、若しくは p 型アモルファスシリコン層を形成する。そして、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた R I E 法等により、p 型ポリシリコン層、若しくは p 型アモルファスシリコン層を、島状にパターニングし、それぞれ孤立した T F T のデバイス領域を形成する。アノードコンタクトホール及びソースコンタクトホールを介して、T F T のデバイス領域は、それぞれ対応するアノード電極 1 4 a, 1 4 b, 1 4 c, ……及びソース電極線 Y_1 , Y_2 , Y_3 , ……に接続される。

(ト) 更に、p 型ポリシリコン層、若しくは p 型アモルファスシリコン層の上に、CVD法によりゲート絶縁膜を堆積する。そして、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた R I E 法等によりゲート絶縁膜の一部に、ゲート電極線 X_1 , X_2 , X_3 , ……の一部を露出するゲートコンタクトホールを

開口する。このゲート絶縁膜の上に、再び、 SiH_4 若しくは Si_2H_6 を用いてポリシリコン層を形成する。そして、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いたR I E法等により、T F Tのゲート電極をパターンニングする。或いは、高融点金属若しくは高融点金属のシリサイド(WSi_2 , TiSi_2 , MoSi_2)等、或いはこれらの高融点金属シリサイドを用いたポリサイドをC V D法、スパッタリング法、真空蒸着法で堆積し、R I E法等により選択的にエッチングし、T F Tのゲート電極を形成しても良い。ゲートコンタクトホールを介して、T F Tのゲート電極は、ゲート電極線 X_1 , X_2 , X_3 , ……に接続される。

(チ) 更に、パターンニングされたゲート電極をマスクに、砒素(As)等のn型不純物イオンを注入し、T F Tのソース/ドレイン領域を形成する。更に、C V D法により、T F Tのゲート電極の上に第3層間絶縁膜を堆積する(図示省略)。その後、真空蒸着法やスパッタリング法等により、基板3の裏面(第2主表面)に Al や AlNi 合金等を堆積させ、カソード電極5を形成する。次に、リフトオフ法を用いるために、第3層間絶縁膜の上に新たなレジストを塗布し、リソグラフィ技術によりパターンニングする。そして真空蒸着法やスパッタリング法等により、蛍光体を堆積する。そして、レジストをリフトオフすることにより、Fig. 6(c)に示すように、第1発光素子層10a, 10e, ……上に、第1蛍光体15a, 15e, ……、第2発光素子層10b, 10f, ……上に第2蛍光体15b, 15f, ……、第3発光素子層10c, 10g, ……上に第3蛍光体15c, 15g, ……をそれぞれ形成する。

(リ) 駆動回路4が外部にある場合、基板3をパッケージにマウント後にボンディング等により、ゲート電極線 X_1 , X_2 , X_3 , ……及びソ

ース電極線 Y_1 , Y_2 , Y_3 , ……を外部の駆動回路 4 に接続する。そして、例えば発光表示体と駆動回路 4 を一体化するようにパッケージに実装される。

本発明の第 1 の実施例に係る発光表示体の製造方法は、一例であり、これ以外の種々の製造方法により、実現可能であることは勿論である。

(第 2 の実施例)

本発明の第 2 の実施例に係る発光表示体は、Fig. 7 に示すように発光表示部 1 と同一のウェハに、駆動回路部 4 a がモノリシックに集積化されている。発光表示部 1 は、Fig. 1 に示した本発明の第 1 の実施例に係る発光表示体と実質的に同様な構成と機能を有する。又、駆動回路部 4 a は、Fig. 3 に示した駆動回路 4 と実質的に同様な構成と機能を有する。

本発明の第 2 の実施例に係る発光表示体は、Fig. 7 に示すように、基板 3 と、基板 3 上に互いに分離形成され、それぞれ基板 3 より禁制帯幅の広い半導体材料からなる複数の（第 1 ～第 3 の）発光素子層 10 a ～ 10 c と、第 1 ～第 3 発光素子層 10 a ～ 10 c からの光の波長を他の波長に変換する第 1 ～第 3 蛍光体 15 a ～ 15 c とを備える。なお、Fig. 7 には、1 単位画素（ピクセル）を構成する第 1 ～第 3 発光素子層 10 a, 10 b, 10 c 及び第 1 ～第 3 蛍光体 15 a ～ 15 c を含む半導体発光素子を示すが、本発明の第 1 の実施例と同様に、Fig. 7 に図示した以外の第 1 発光素子層 10 a, 10 e, ……及び第 1 蛍光体 15 a, 15 e, ……、第 2 発光素子層 10 b, 10 f, ……及び第 2 蛍光体 15 b, 15 f, ……、第 3 発光素子層 10 c, 10 d, ……及び第 3 蛍光体 15 c, 15 d, ……とが存在する。

本発明の第 2 の実施例に係る発光表示体は、不活性領域（素子分離領域）3 b により、基板 3 を駆動用 IC 領域 3 a と発光素子形成領域 3 c

とに、電氣的に分離している。駆動用 I C 領域 3 a と発光素子形成領域 3 c の下面（第 2 主表面）には、カソード電極 5 a が配置されている。駆動用 I C 領域 3 a 及び不活性領域 3 b の表面（第 1 主表面）露出部を被覆するように、シリコン酸化膜 6 が配置されている。駆動用 I C 領域 3 a 上の、シリコン酸化膜 6 にはコンタクトホール 9 6 a, 9 6 b, 9 6 c, 9 6 d, ……が開口され、Al や AlNi 等の金属膜からなる電極 7 a, 7 b, 7 c, 7 d, ……がコンタクトホール 9 6 a, 9 6 b, 9 6 c, 9 6 d, ……を介して、n 型コレクタ領域 8 a、p 型ベース領域 8 b、n 型エミッタ領域 8 c 及び不活性領域（素子分離領域）3 b に接続されている。

駆動用 I C 領域 3 a には、走査信号回路 6 1 及びデータ信号回路 6 2 等を含む種々の電子回路が集積されている（Fig. 3 参照）。これらの電子回路は、バイポーラ集積回路や MIS 集積回路であり、多数の p 型及び n 型不純物導入領域が、微細且つ複雑な幾何学的配置をなしている。Fig. 7 は、その一部を模式的に表示しており、p 型ベース領域 8 b、ベース領域 8 b の内部に n 型エミッタ領域 8 c、ベース領域 8 b から離間して n 型コレクタ領域 8 a が設けられている。更に、コレクタ領域 8 a、ベース領域 8 b、エミッタ領域 8 c にはそれぞれコレクタ電極 7 a、ベース電極 7 b、エミッタ電極 7 c が設けられた npn 構造のバイポーラトランジスタが示されている。発光素子形成領域 3 c の構造は、本発明の第 1 の実施例に係る発光表示体と実質的に同様な構成なので、重複する説明は省略する。Fig. 7 では、基板 3 の裏面（第 2 主表面）にカソード電極 5 a を配置したが、駆動用 I C 領域 3 a 及び不活性領域 3 b の下部には必要に応じてカソード電極を設けても、設けなくても構わない。

本発明の第 2 の実施例に係る発光表示体は、本発明の第 1 の実施例においてボンディングワイヤ等を介して外部に電氣的に接続されていた駆

動回路 4 の代わりに、発光表示部 1 と同一ウェハにモノリシックに集積化された駆動回路部 4 a により、T F T 1 6 a ~ 1 6 c , に信号電圧を印加する。他は本発明の第 1 の実施例に係る発光表示体と実質的に同様な駆動方法（ランダムアクセス駆動）なので、重複する説明は省略する。

上述したように、本発明の第 2 の実施例に係る発光表示体によれば、第 1 ~ 第 3 蛍光体によって第 1 ~ 第 3 発光素子層 1 0 a , 1 0 b , 1 0 c , からの光の波長を他の第 1、第 2 及び第 3 波長に変換することにより、表示速度を高速化出来、長寿命化出来、耐環境性、信頼性も向上させることが出来る。

又、第 1 ~ 第 3 蛍光体 1 5 a ~ 1 5 c , を有することにより、カラーフィルタは不要となり、光の損失を極めて少なく出来る。更に、製造工程を簡易化出来、ローコスト化を図ることが出来る。

又、基板 3 に、本発明の発光表示体を駆動し、発光素子層 1 0 a ~ 1 0 c , からの発光を制御するための駆動用 I C 領域 3 a を設け、駆動回路部 4 a 等を構成する半導体発光素子とは異なる半導体素子を含む電子回路を備えることにより、素子の小型化を高水準に達成できる。また、基板 3 の表面に T F T 1 6 a ~ 1 6 c , 等の素子を設けることも可能となる。

Fig. 7 に示す本発明の第 2 の実施例に係る発光表示体は、以下の手順で製造可能である：

(イ) Fig. 8 (a) に示すように、n 型シリコンからなる基板 3 を用意する。次に、基板 3 の下面及び上面に熱酸化法等により、シリコン酸化膜（S i O₂ 膜）等の絶縁膜 4 0 a , 4 0 b を形成する。そして、絶縁膜 4 0 b の上部にレジストを塗布する。更に、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた

R I E法等により絶縁膜 4 0 bの一部を、選択的にエッチング除去する。パターニングされた絶縁膜 4 0 bをマスクとして用い、ボロン (B^+) 等の p 型不純物領域を選択的に導入する。同様に、絶縁膜 4 0 a の上部にレジストを塗布し、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた R I E法等により絶縁膜 4 0 a の一部を、Fig. 8 (b) に示すように選択的にエッチング除去する。パターニングされた絶縁膜 4 0 をマスクとして用い、p 型不純物領域を選択的に導入し、その後熱処理 (ドライブイン) することにより、発光素子形成領域 3 c と駆動用 I C 領域 3 a とを電氣的に分離する不活性領域 (素子分離領域) 3 b を形成する。

(ロ) 熱処理 (ドライブイン) 後、絶縁膜 4 0 a を除去し、熱酸化法により、新たな酸化膜 (絶縁膜) 4 1 を基板 3 の表面に形成する。そして、絶縁膜 4 1 の上部にレジストを塗布し、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた R I E法等により絶縁膜 4 1 の一部を、選択的にエッチング除去する。このパターニングされた絶縁膜 4 1 をマスクとして用い、p 型不純物イオンのイオン注入とその後の熱処理により、p 型のベース領域 8 b を形成する。更に、絶縁膜 4 1 の上部に新たなレジストを塗布し、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた R I E法等により絶縁膜 4 1 の他の一部を、選択的にエッチング除去する。このパターニングされた絶縁膜 4 1 及び p 型のベース領域 8 b の上部のレジストをイオン注入マスクとして用い、n 型不純物イオンのイオン注入とその後の熱処理により、Fig. 8 (c) に示すように、 n^+ 型のコレクタ領域 8 a 及びエミッタ領域 8 c を形成する。このように、Fig. 8 (c) は、集積化されている電子回路の一部であり、実際には、図示しないバイポーラトランジスタや、M I S トランジスタ等が

多数集積化されている。

(ハ) 次に、Fig. 8 (d)、詳しくはFig. 4に示すように、基板 3 上に、MOCVD 法等を用いて、DBR 9 を形成する。引き続き、DBR 9 上に、n 型クラッド層 11、ノンドープ活性層 12、p 型クラッド層 13 を順次積層し、発光層 10 を形成する。次に、p 型クラッド層 13 の上に、レジスト 51 をスピン塗布し、このレジスト 51 をフォトリソグラフィ技術によりパターニングする。パターニングされたレジスト 51 a, 51 b, 51 c, ……をエッチングマスクとして用い、エッチング溶液として例えば HCl / HNO₃ 溶液、NaOH 溶液や水酸化カリウム KOH 溶液等を用いたウェットエッチング等により、発光層 10 及び DBR 9 を基板 3 に達するまでエッチングする。この結果、Fig. 9 (a) に示すように、複数の DBR 9 a, 9 b, 9 c, ……、DBR 9 a 上の第 1 発光素子層 10 a、DBR 9 b 上の第 2 発光素子層 10 b、DBR 9 c 上の第 3 発光素子層 10 c, ……とに分割する。この際に、駆動用 IC 領域 3 a の基板 3 の表面を露出させる。

(ニ) 次に、CVD 法により、基板 3 の表面の全体を覆うようにシリコン酸化膜 6 を堆積する。リソグラフィ技術により、レジスト (図示省略) をエッチングマスクとして用いてシリコン酸化膜 6 をパターニングし、Fig. 9 (b) に示すように、駆動用 IC 領域 3 a にコンタクトホール 96 a ~ 96 c, ……、発光素子形成領域 3 c に窓 6 a, 6 b, 6 c, ……、を形成する。

(ホ) 次に、リフトオフ法を用いるために、シリコン酸化膜 6、コンタクトホール 96 a ~ 96 c, ……、及び窓 6 a, 6 b, 6 c, ……上に新たなレジストを塗布し、リソグラフィ技術によりパターニングする。そして真空蒸着法やスパッタリング法等により、W、Ti、Mo 等の高融点金属、これらのシリサイド (WSi₂, TiSi₂, MoSi₂)

等を堆積する。そして、レジストをリフトオフすることにより、 n 型コレクタ領域 8 a、 p 型ベース領域 8 b、 n 型エミッタ領域 8 c 及び不活性領域（素子分離領域） 3 b と低抵抗性オーミック接触するコレクタ電極 7 a、ベース電極 7 b、エミッタ電極 7 c 及び不活性領域電極 7 d を形成する。その後、シリコン酸化膜 6、コンタクトホール 9 6 a ~ 9 6 c、……、及び窓 6 a、6 b、6 c、……上に更に新たなレジストを塗布し、リソグラフィ技術によりパターンニングする。そして真空蒸着法やスパッタリング法等により、AuNi 合金等の金属膜を光透過性を有するように薄く堆積する。そして、更に新たなレジストをリフトオフすることにより、 p 型クラッド層 1 3 a、1 3 b、1 3 c、……と低抵抗性オーミック接触するアノード電極 1 4 a、1 4 b、1 4 c、……を形成する。

（へ）次に、スパッタリング法等によりウェハ表面に高融点金属の薄膜を堆積する。そして、リソグラフィ技術により、レジスト（図示省略）をエッチングマスクとして用いて用い、RIE 法等により溝 3 1 a、3 2 b、……（Fig. 2）上にゲート電極線 X_1 、 X_2 、 X_3 、……（Fig. 2）を形成する。このゲート電極線 X_1 、 X_2 、 X_3 、……は駆動回路部 4 a にまで延長形成され、駆動回路部 4 a 電氣的に接続する（図示省略）。次に、CVD 法により、ゲート電極線 X_1 、 X_2 、 X_3 、……（Fig. 2）上に第 1 層間絶縁膜 1 7 a ~ 1 7 i、……を堆積する（図示省略）。次に、スパッタリング法等により第 1 層間絶縁膜の上部全面に新たな高融点金属も薄膜を堆積する。そして、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた RIE 法等により、Fig. 9 (c) に示すように、溝 3 2 a、3 2 b、3 2 c、……に沿って、ソース電極線 Y_1 、 Y_2 、 Y_3 、……を形成する。このとき、ソース電極線 Y_1 、 Y_2 、 Y_3 、……は、データ信号回路 6 2 にまで延長形

成され、データ信号回路 6 2 に電氣的に接続される。

(ト) 次に、CVD法により、ソース電極線 Y_1, Y_2, Y_3, \dots 上に第 2 層間絶縁膜を堆積する (図示省略)。そして、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた R I E 法等により第 2 層間絶縁膜の一部に、アノード電極 1 4 a, 1 4 b, 1 4 c, \dots の一部を露出するアノードコンタクトホール、ソース電極線 Y_1, Y_2, Y_3, \dots の一部を露出するソースコンタクトホールを開口する。この後の T F T を形成する工程は、本発明の第 1 の実施例と重複するので説明を省略する。T F T 1 6 a ~ 1 6 c, \dots のゲート電極をゲート電極線 X_1, X_2, X_3, \dots にそれぞれ接続される。又、T F T 1 6 a ~ 1 6 c, \dots のソース電極は、ソース電極線 Y_1, Y_2, Y_3, \dots に、ドレイン電極は、アノード電極 1 4 a, 1 4 b, 1 4 c, \dots にそれぞれ接続される。更に、CVD法により、T F T のゲート電極の上に第 3 層間絶縁膜を堆積する (図示省略)。その後、真空蒸着法やスパッタリング法等により、基板 3 の裏面 (第 2 主表面) に A l や A l N i 合金等を堆積させ、カソード電極 5 を形成する。

(チ) 次に、リフトオフ法を用いるために、第 3 層間絶縁膜の上に新たなレジストを塗布し、リソグラフィ技術によりパターンニングする。そして真空蒸着法やスパッタリング法等により、蛍光体を堆積する。そして、レジストをリフトオフすることにより、Fig. 9 (c) に示すように、第 1 発光素子層 1 0 a 上に、第 1 蛍光体 1 5 a、第 2 発光素子層 1 0 b 上に第 2 蛍光体 1 5 b、第 3 発光素子層 1 0 c 上に第 3 蛍光体 1 5 c をそれぞれ形成する。最後に、基板 3 をパッケージにマウントすれば、Fig. 7 に示した本発明の第 2 の実施例に係る発光表示体が完成する。

なお、上述した本発明の第 2 の実施例に係る発光表示体の製造方法は、一例であり、これ以外の種々の製造方法により、実現可能であることは

勿論である。

(第3の実施例)

本発明の第3の実施例に係る発光表示体は、Fig. 10に示すように、基板3と、基板3上に互いに分離形成され、それぞれ基板3より禁制帯幅の広い半導体材料からなる複数の(第1～第3の)発光素子層90a～90cと、第1～第3発光素子層90a～90cからの光の波長を他の波長に変換する第1～第3蛍光体15a～15cとを備える。なお、Fig. 10には、1単位画素(ピクセル)を構成する第1～第3発光素子層90a, 90b, 90c及び第1～第3蛍光体15a～15cを含む半導体発光素子を示すが、本発明の第1の実施例と同様に、Fig. 10に図示した以外の第1発光素子層90a, 90e, ……及び第1蛍光体15a, 15e, ……、第2発光素子層90b, 90f, ……及び第2蛍光体15b, 15f, ……、第3発光素子層90c, 90d, ……及び第3蛍光体15c, 15d, ……とが存在する。

発光素子層90a, 90b, 90c, ……及びDBR99a, 99b, 99c, ……は、垂直の側壁を有する。発光素子層90a, 90b, 90c, ……及びDBR99a, 99b, 99c, ……は、本発明の第1及び第2の実施例に係る発光素子層10a, 10b, 10c, ……及びDBR9a, 9b, 9c, ……と実質的に同様な機能を有する。シリコン酸化膜2は基板3、発光素子層90a, 90b, 90c, ……及びDBR99a, 99b, 99c, ……の露出部を覆うように配置されている。他は、本発明の第1の実施例と実質的に同様であるので、重複した記載を省略する。

上述したように、本発明の第3の実施例に係る発光表示体によれば、第1～第3蛍光体15a～15cによって第1～第3発光素子層90a,

90b, 90c, ……からの光の波長を他の第1、第2及び第3波長に変換することにより、表示速度を高速化出来、長寿命化出来、耐環境性、信頼性も向上させることが出来る。

又、第1～第3蛍光体15a～15c, ……を有することにより、カラーフィルタは不要となり、光の損失を極めて少なく出来る。更に、製造工程を簡易化出来、ローコスト化を図ることが出来る。

本発明の第3の実施例に係る発光表示体の製造方法は、本発明の第1の実施例の製造方法における発光層10及びDBR9のウェットエッチングの代わりに、RIE法によりエッチングし、垂直側壁の溝でそれぞれ分離された発光素子層90a, 90b, 90c, ……及びDBR99a, 99b, 99c, ……が形成されている点が異なる。他の構造及び工程は、本発明の第1の実施例に係る発光表示体の製造方法と実質的に同様であるので、重複した記載を省略する。

(第4の実施例)

本発明の第4の実施例に係る発光表示体として、単純マトリクス回路の例を説明する。即ち、本発明の第4の実施例に係る発光表示体は、Fig. 11に示すように、基板3と、基板3上に互いに分離形成され、それぞれ基板3より禁制帯幅の広い半導体材料からなる複数の(第1～第3の)発光素子層10a～10cと、第1～第3発光素子層10a～10cからの光の波長を他の波長に変換する第1～第3蛍光体15a～15cとを備える。なお、Fig. 11には、1単位画素(ピクセル)を構成する第1～第3発光素子層10a, 10b, 10c及び第1～第3蛍光体15a～15cを含む半導体発光素子を示すが、本発明の第1の実施例と同様に、Fig. 7に図示した以外の第1発光素子層10a, 10e, ……及び第1蛍光体15a, 15e, ……、第2発光素子層10b, 10f, ……

…及び第2蛍光体15b, 15f, ……、第3発光素子層10c, 10d, ……及び第3蛍光体15c, 15d, ……とが存在する。

本発明の第4の実施例に係る発光表示体は更に、基板3と第1～第3発光素子層10a, 10b, 10c, ……の間に反射金属膜18a, 18b, 18c, ……がそれぞれ配置されている。反射金属膜18a, 18b, 18c, ……としては、アルミニウム等が使用可能である。反射金属膜18a, 18b, 18cを有することにより、反射鏡として機能し、発光効率を増大させることが出来る。又、基板3の露出部、反射金属膜18a, 18b, 18c, ……の露出部及び第1～第3発光素子層10a, 10b, 10c, ……の露出部を覆うように配置されたシリコン酸化膜6と、第1～第3発光素子層10a, 10b, 10c, ……上の、シリコン酸化膜6の窓6a, 6b, 6c, ……の内側に配置されたアノード電極14a, 14b, 14c, ……とを更に有する。

基板3は、不活性領域（素子分離領域）19a, 19b, 19c, により、電氣的に分離された発光素子形成領域33a, 33b, 33cを含む。発光素子形成領域33a, 33b, 33c上に第1～第3発光素子層10a, 10b, 10c, ……及び反射金属膜18a, 18b, 18c, ……が配置されている。また、発光素子形成領域33a, 33b, 33cの裏面（第2主面）には、データ電極線 y_1 , y_2 , y_3 がそれぞれ設けられている。

第1～第3発光素子層10a, 10b, 10c, ……及び反射金属膜18a, 18b, 18c, ……は、Fig.12に示すように、X軸方向に互いに並列して走行する複数の溝31a, 31b, 31c, ……と、この複数の溝31a, 31b, 31c, ……に直交するY軸方向に沿って互いに並列して走行する複数の溝32a, 32b, 32c, ……により網目状に区画されている。又、第1～第3蛍光体15a～15f, ……は、

光を導出する窓 6 a ~ 6 f, ……をそれぞれ覆うように規則的に配置されており、これによりドットマトリクス状のフルカラー発光表示体を構成している。このため、水平方向に走行する複数の走査電極線 x_1 , x_2 , x_3 , ……と、走査電極線 x_1 , x_2 , x_3 , ……に直交して、垂直方向に平行に走行する Fig. 11 に示した複数のデータ電極線 y_1 , y_2 , y_3 , ……によりマトリクスを構成している。複数の走査電極線 x_1 , x_2 , x_3 , ……は、Fig. 12 に示すように、シリコン酸化膜 6 上の溝 3 1 a, 3 1 b, 3 1 c, ……にそれぞれ一本ずつ配置され、100 nm 程度の厚さの配線である。このマトリクスの交点付近にそれぞれの画素が配置される。Fig. 13 に示すように、複数の走査電極線 x_1 , x_2 , x_3 , ……は走査信号回路 6 1、複数のデータ電極線 y_1 , y_2 , y_3 , ……はデータ信号回路 6 2 に接続されている。走査信号回路 6 1 とデータ信号回路 6 2 とで駆動回路 4 が構成されている。

本発明の第 4 の実施例に係る発光表示体の駆動方法は、単純マトリクス（パッシブマトリクス）駆動である。例えば、Fig. 13 において、走査信号回路 6 1 により走査電極線 x_1 , x_2 , x_3 , ……を順次走査する。走査のタイミングに合わせて、データ信号回路 6 2 からソース電極線 y_1 , y_2 , y_3 , ……に対応する信号電圧を印加することにより、印加された発光素子層 1 0 a ~ 1 0 f が発光する。

上述したように、本発明の第 4 の実施例に係る発光表示体によれば、第 1、第 2、第 3 波長の励起光を第 1 ~ 第 3 蛍光体によって第 1 ~ 第 3 発光素子層 1 0 a, 1 0 b, 1 0 c, ……からの光の波長を他の第 1、第 2 及び第 3 波長に変換することにより、表示速度を高速化出来、長寿命化出来、耐環境性、信頼性も向上させることが出来る。

又、第 1 ~ 第 3 蛍光体 1 5 a ~ 1 5 c, ……を有することにより、カラーフィルタは不要となり、光の損失を極めて少なく出来る。更に、製

造工程を簡易化出来、ローコスト化を図ることが出来る。

Fig. 11に示す本発明の第4の実施例に係る発光表示体は、以下の手順で製造可能である：

(イ) Fig. 14 (a) に示すように、n型シリコンからなる基板3を用意する。次に、基板3の下面及び上面に熱酸化法等により、シリコン酸化膜 (SiO_2 膜) 等の絶縁膜47a, 47bを形成する。そして、絶縁膜47bの上部にレジストを塗布する。更に、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いたR I E法等により絶縁膜47bの一部を、選択的にエッチング除去する。パターニングされた絶縁膜47bをマスクとして用い、 B^+ 等のp型不純物領域を選択的に導入する。同様に、絶縁膜47aの上部にレジストを塗布し、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いたR I E法等により絶縁膜47aの一部を、Fig. 14 (b) に示すように選択的にエッチング除去する。パターニングされた絶縁膜47をマスクとして用い、p型不純物領域を選択的に導入し、その後熱処理 (ドライブイン) することにより、基板3を電氣的に分離する不活性領域 (素子分離領域) 19a, 19b, ……を形成する。その後、HF等を用いて絶縁膜47a, 47bを除去する。

(ロ) 次に、Fig. 14 (c) に示すように、基板3上に真空蒸着法やスパッタリング法を用いて、反射金属膜18を形成する。引き続き、反射金属膜18上に、n型クラッド層11, ノンドープ活性層12, p型クラッド層13を順次積層し、発光層10を形成する。次に、p型クラッド層13の上に、レジスト51をスピン塗布し、このレジスト51をフォトリソグラフィ技術によりパターニングする。パターニングされたレジスト51をエッチングマスクとして用い、エッチング溶液として例えば HCl/HNO_3 溶液, NaOH 溶液や KOH 溶液等を用いたウェット

エッチング等により、発光層 10 及び DBR 9 を基板 3 に達するまでエッチングする。この結果、Fig. 15 (a) に示すように、複数の反射金属膜 18 a, 18 b, 18 c, ……、反射金属膜 18 a 上の第 1 発光素子層 10 a、反射金属膜 18 b 上の第 2 発光素子層 10 b、反射金属膜 18 c 上の第 3 発光素子層 10 c, ……とに分割する。

(ハ) 次に、CVD 法により、基板 3 の表面の全体を覆うようにシリコン酸化膜 6 を堆積する。リソグラフィ技術により、レジスト（図示省略）をエッチングマスクとして用いてシリコン酸化膜 6 をパターンニングし、Fig. 15 (b) に示すような窓 6 a, 6 b, 6 c, ……、を形成する。

(ニ) 次に、リフトオフ法を用いるために、シリコン酸化膜 6 及び窓 6 a, 6 b, 6 c, ……上に更に新たなレジストを塗布し、リソグラフィ技術によりパターンニングする。そして真空蒸着法やスパッタリング法等により、AuNi 合金等の金属膜を光透過性を有するように薄く堆積する。そして、更に新たなレジストをリフトオフすることにより、p 型クラッド層 13 a, 13 b, 13 c, ……と低抵抗性オーミック接触するアノード電極 14 a, 14 b, 14 c, ……を形成する。その後、スパッタリング法等によりウェハ表面に高融点金属の薄膜を堆積する。そして、リソグラフィ技術により、レジスト（図示省略）をエッチングマスクとして用いて用い、RIE 法等により溝 31 a, 32 b, …… (Fig. 12) 上に走査電極線 x_1 , x_2 , x_3 , …… (Fig. 12) を形成する。このとき、走査電極線 x_1 , x_2 , x_3 , ……は、Fig. 13 に示した走査信号回路 61 にまで延長形成され、走査信号回路 61 に電氣的に接続される。

(ホ) 次に、リフトオフ法を用いるために、基板 3 の裏面（第 2 主面）に新たなレジストを塗布し、リソグラフィ技術によりパターンニングする。そして真空蒸着法やスパッタリング法等により、Al や AlNi 合金等を堆積させるそして、新たなレジストをリフトオフすることによ

り、走査電極線を形成する。そして、リソグラフィ技術により、基板 3 の第 2 主面上にレジストのエッチングマスクを形成し、このエッチングマスクを用いた R I E 法等により、Fig. 15 (c) に示すように、データ電極線 y_1 , y_2 , y_3 , ……を形成する。その後、真空蒸着法やスパッタリング法等により、基板 3 の (第 2 主表面) にこのとき、データ電極線 y_1 , y_2 , y_3 , ……は、Fig. 13 に示したデータ信号回路 6 2 にまで延長形成され、データ信号回路 6 2 に電氣的に接続される。

(へ) 次に、リフトオフ法を用いるために、第 3 層間絶縁膜の上に新たなレジストを塗布し、リソグラフィ技術によりパターンニングする。そして真空蒸着法やスパッタリング法等により、蛍光体を堆積する。そして、レジストをリフトオフすることにより、Fig. 15 (c) に示すように、第 1 発光素子層 1 0 a 上に、第 1 蛍光体 1 5 a、第 2 発光素子層 1 0 b 上に第 2 蛍光体 1 5 b、第 3 発光素子層 1 0 c 上に第 3 蛍光体 1 5 c をそれぞれ形成する。最後に、基板 3 をパッケージにマウントすれば、本発明の第 4 の実施例に係る発光表示体が完成する。

なお、上述した本発明の第 4 の実施例に係る発光表示体の製造方法は、一例であり、これ以外の種々の製造方法により、実現可能であることは勿論である。

(第 5 の実施例)

本発明の第 5 の実施例に係る発光表示体は、Fig. 16 に示すように、基板 3 と、基板 3 上に互いに分離形成され、それぞれ基板 3 より禁制帯幅の広い半導体材料からなる複数の (第 1 ~ 第 3 の) 発光素子層 7 0 a ~ 7 0 c と、第 1 ~ 第 3 発光素子層 7 0 a ~ 7 0 c からの光の波長を他の波長に変換する第 1 ~ 第 3 蛍光体 1 5 a ~ 1 5 c とを備える。なお、Fig. 16 には、1 単位画素 (ピクセル) を構成する第 1 ~ 第 3 発光素子層 7 0

a, 70 b, 70 c 及び第1～第3蛍光体15 a～15 cを含む半導体発光素子を示すが、本発明の第1の実施例と同様に、Fig. 16に図示した以外の第1発光素子層70 a, 70 e, ……及び第1蛍光体15 a, 15 e, ……、第2発光素子層70 b, 70 f, ……及び第2蛍光体15 b, 15 f, ……、第3発光素子層70 c, 70 d, ……及び第3蛍光体15 c, 15 d, ……とが存在する。

第1～第3発光素子層70 a, 70 b, 70 c, ……及びDBR 79 a, 79 b, 79 c, ……は、(素子分離領域) 74 a, 74 b, 74 c, ……で区画され且つ互いに電氣的に分離されている。素子分離領域74 a, 74 b, 74 c, ……は、例えばプロトン (H^+) 等を照射して形成された高比抵抗領域や、 B^+ 等を導入して形成されたp型半導体領域(反対導電型領域)である。発光素子層70 a, 70 b, 70 c, ……及びDBR 79 a, 79 b, 79 c, ……は、本発明の第1及び第2の実施例に係る発光素子層10 a, 10 b, 10 c, ……及びDBR 9 a, 9 b, 9 c, ……と実質的に同様な機能を有する。シリコン酸化膜76は発光素子層70 a, 70 b, 70 c, ……及び素子分離領域74 a, 74 b, 74 c, ……上に配置されている。シリコン酸化膜76上には、本発明の第1～第3の実施例と同様なソース電極線 Y_1 , Y_2 , Y_3 , ……が設けられている。他は、本発明の第1の実施例と実質的に同様であるので、重複した記載を省略する。

上述したように、本発明の第5の実施例に係る発光表示体によれば、第1～第3蛍光体15 a, 15 b, 15 c, ……によって第1～第3発光素子層70 a, 70 b, 70 c, ……からの光の波長を他の第1、第2及び第3波長に変換することにより、表示速度を高速化出来、長寿命化出来、耐環境性、信頼性も向上させることが出来る。

又、第1～第3蛍光体15 a～15 c, ……を有することにより、力

ラーフィルタは不要となり、光の損失を極めて少なく出来る。更に、製造工程を簡易化出来、ローコスト化を図ることが出来る。

以下、本発明の第5の実施例に係る発光表示体の製造方法をFig. 5及びFig. 17を用いて説明する：

(イ) まず、Fig. 5 (c) に示すように、基板3上に、MOCVD法等を用いて、DBR9を形成する。引き続き、DBR9上に、n型クラッド層11、ノンドープ活性層12、p型クラッド層13を順次積層し、発光層10を形成する。ここまでの手順は、本発明の第1の実施例と実質的に同様であるので、重複した説明を省略する。

(ロ) 次に、p型クラッド層13の上に、熱酸化法等により、酸化膜(SiO_2 膜)等の絶縁膜を形成する。そして、リソグラフィ技術により、絶縁膜の上部にレジスト51のエッチングマスクを形成し、このエッチングマスクを用いたRIE法等により絶縁膜の一部を、選択的にエッチング除去する。パターニングされた絶縁膜51をマスクとして用い、 B^+ 等をイオン注入することにより、p型不純物領域を選択的に導入する。その後熱処理(ドライブイン)することにより、各列毎に発光素子形成領域を電氣的に分離するための素子分離領域74a, 74b, 74c, ……を形成する。この素子分離領域74a, 74b, 74c, ……により、発光層10及びDBR9を、第1～第3発光素子層70a, 70b, 70c, ……及びDBR79a, 79b, 79c, ……とにそれぞれ分割する。なお、 B^+ 等をイオン注入する代わりに、プロトン(H^+)等を照射することにより、高比抵抗領域である素子分離領域74a, 74b, 74c, ……を形成しても良い。

(ハ) 次に、CVD法により、基板3の第1主面にシリコン酸化膜76を堆積する。リソグラフィ技術により、レジスト(図示省略)をエッチングマスクとして用いてシリコン酸化膜76をパターニングし、Fig. 1

7 (b) に示すように、窓 6 a, 6 b, 6 c, ……、を形成する。引き続きシリコン酸化膜 7 6 及び窓 6 a, 6 b, 6 c, ……上に新たなレジストを塗布し、リソグラフィ技術によりパターンニングする。そして真空蒸着法やスパッタリング法等により、AuNi 合金等の金属膜を光透過性を有するように薄く堆積する。そして、更に新たなレジストをリフトオフすることにより、p 型クラッド層 1 3 a, 1 3 b, 1 3 c, ……と低抵抗性オーミック接触するアノード電極 1 4 a, 1 4 b, 1 4 c, ……を形成する。

(二) 次に、スパッタリング法等によりウェハ表面に高融点金属の薄膜を堆積する。そして、リソグラフィ技術により、レジスト（図示省略）をエッチングマスクとして用いて用い、R I E 法等によりシリコン酸化膜 7 6 上に図示を省略したゲート電極線を形成する。次に、C V D 法により、ゲート電極線上に図示を省略した第 1 層間絶縁膜を堆積する。次に、スパッタリング法等により第 1 層間絶縁膜の上部全面に新たな高融点金属も薄膜を堆積する。そして、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた R I E 法等により、Fig. 17 (c) に示すように、ソース電極線 Y₁, Y₂, Y₃, ……を形成する。

(ホ) 次に、C V D 法により、ソース電極線 Y₁, Y₂, Y₃, ……上に図示を省略した第 2 層間絶縁膜を堆積する。そして、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いた R I E 法等により第 2 層間絶縁膜の一部に、アノード電極 1 4 a, 1 4 b, 1 4 c, ……の一部を露出するアノードコンタクトホール、ソース電極線 Y₁, Y₂, Y₃, ……の一部を露出するソースコンタクトホールを開口する。この後の T F T を形成する工程は、本発明の第 1 の実施例と重複するので説明を省略する。T F T 1 6 a ~ 1 6 c, ……

…のゲート電極をゲート電極線 X_1 , X_2 , X_3 , ……にそれぞれ接続される。又、TFT 16a~16c, ……のソース電極は、ソース電極線 Y_1 , Y_2 , Y_3 , ……に、ドレイン電極は、アノード電極 14a, 14b, 14c, ……にそれぞれ接続される。更に、CVD法により、TFTのゲート電極の上に第3層間絶縁膜を堆積する（図示省略）。その後、真空蒸着法やスパッタリング法等により、基板3の裏面（第2主表面）にAlやAlNi合金等を堆積させ、カソード電極5を形成する。

（へ）次に、リフトオフ法を用いるために、第3層間絶縁膜の上に新たなレジストを塗布し、リソグラフィ技術によりパターンニングする。そして真空蒸着法やスパッタリング法等により、蛍光体を堆積する。そして、レジストをリフトオフすることにより、Fig. 17(c)に示すように、第1発光素子層70a上に、第1蛍光体15a、第2発光素子層70b上に第2蛍光体15b、第3発光素子層70c上に第3蛍光体15cをそれぞれ形成する。最後に、基板3をパッケージにマウントすれば、Fig. 16に示した本発明の第5の実施例に係る発光表示体が完成する。

なお、上述した本発明の第5の実施例に係る発光表示体の製造方法は、一例であり、これ以外の種々の製造方法により、実現可能であることは勿論である。

（第6の実施例）

本発明の第6の実施例に係る発光表示体は、Fig. 18に示すように、基板3と、基板3上に互いに分離形成され、それぞれ基板3より禁制帯幅の広い半導体材料からなる複数の（第1～第3の）発光素子層10a～10cと、第1発光素子層10aからの光の波長を他の波長に変換する第1蛍光体15aとを備える。なお、Fig. 18には、1単位画素（ピクセル）を構成する第1～第3発光素子層10a, 10b, 10c及び第1

蛍光体 15 a を含む半導体発光素子を示すが、本発明の第 1 の実施例と同様に、Fig. 18 に図示した以外の第 1 発光素子層 10 a, 10 e, ……、第 2 発光素子層 10 b, 10 f, ……、第 3 発光素子層 10 c, 10 d, ……及び第 1 蛍光体 15 a, 15 e, ……とが存在する。本発明の第 6 の実施例に係る発光表示体は、本発明の第 1 及び第 2 の実施例で用いた第 2 蛍光体 15 b, 15 f, ……及び第 3 蛍光体 15 c, 15 d, ……を用いていない。

本発明の第 6 の実施例において、第 1 発光素子層 10 a, 10 e, ……及び、第 2 発光素子層 10 b, 10 f, ……からの光の波長は互いに同一波長であり、青色光、赤色光、緑色光のいずれかひとつの波長である。第 3 発光素子層 10 c, 10 d, ……からの光の波長は、第 1 発光素子層 10 a, 10 e, ……及び第 2 発光素子層 10 b, 10 f, ……からの光の波長と異なる波長であり、青色光、赤色光、緑色光のいずれかひとつの波長である。例えば、第 1 発光素子層 10 a, 10 e, ……及び第 2 発光素子層 10 b, 10 f, ……は、それぞれ青色 LED である。一方、第 3 発光素子層 10 c, 10 d, ……は緑色 LED である。

第 1 蛍光体 15 a, 15 e, ……は、第 1 発光素子層 10 a, 10 e, ……からの青色光の波長を第 1 波長の光として赤色光に変換する。第 2 発光素子層 10 b, 10 f, ……から青色光が、第 3 発光素子層 10 c, 10 d, ……から緑色光が出力されるので、フルカラーが表示できる。

上述したように、本発明の第 6 の実施例に係る発光表示体によれば、第 1 蛍光体 15 a によって第 1 発光素子層 10 a, 10 e, ……からの光の波長を他の第 1 波長に変換することにより、表示速度を高速化出来、長寿命化出来、耐環境性、信頼性も向上させることが出来る。

又、第 1 蛍光体 15 a, 15 e, ……を有することにより、カラーフィルタは不要となり、光の損失を極めて少なく出来る。更に、製造工程

を簡易化出来、ローコスト化を図ることが出来る。

以下、本発明の第6の実施例に係る発光表示体の製造方法をFig. 19及びFig. 20を用いて説明する。

(イ) まず、Fig. 19 (a) に示すように、基板3上に、MOCVD法等を用いて、n型クラッド層11、ノンドープ活性層12、p型クラッド層13を順次積層し、発光層10を形成する。次に、p型クラッド層13の上に、レジスト51をスピン塗布し、このレジスト51をフォトリソグラフィ技術によりパターニングする。パターニングされたレジスト51をエッチングマスクとして用い、エッチング溶液として例えばHCl/HNO₃溶液、NaOH溶液やKOH溶液等を用いたウェットエッチング等により、発光層10を基板3に達するまでエッチングする。この結果、Fig. 9 (a) に示すように、発光層10の一部が選択的に除去され、第1発光素子層10a、10e、……及び第2発光素子層10b、10f、……とを形成する。

(ロ) 次に、CVD法により、基板3の表面の全体を覆うようにシリコン酸化膜86を堆積する。リソグラフィ技術により、レジスト（図示省略）をエッチングマスクとして用いてシリコン酸化膜86をパターニングし、Fig. 9 (b) に示すような窓84を形成する。そして、シリコン酸化膜86及び窓84から露出した基板3上に、MOCVD法等を用いて、n型クラッド層81、ノンドープ活性層82、p型クラッド層83を順次堆積し、発光素子層80を形成する。本発明の第6の実施例において、発光層10は緑色ダイオードである。次に、p型クラッド層13の上に、レジスト85をスピン塗布し、このレジスト85をフォトリソグラフィ技術によりパターニングする。パターニングされたレジスト85をエッチングマスクとして用い、エッチング溶液として例えばHCl/HNO₃溶液、NaOH溶液やKOH溶液等を用いたウェットエッチン

グ等により、発光素子層 80 を基板 3 に達するまでエッチングする。この結果、Fig. 19 (d) に示すように、第 3 発光素子層 10 c, 10 d, ……が形成される。その後、Fig. 20 (a) に示すように、HF 等により、シリコン酸化膜 85, 86 を除去する。

(ハ) 次に、CVD 法により、基板 3 の表面の全体を覆うようにシリコン酸化膜 6 を堆積する。リソグラフィ技術により、レジスト（図示省略）をエッチングマスクとして用いてシリコン酸化膜 6 をパターニングし、Fig. 9 (b) に示すように、駆動用 IC 領域 3 a にコンタクトホール 96 a ~ 96 c, ……、発光素子形成領域 3 c に窓 6 a, 6 b, 6 c, ……、を形成する。

(ニ) 次に、リフトオフ法を用いるために、シリコン酸化膜 6 及び窓 6 a, 6 b, 6 c, ……上に新たなレジストを塗布し、リソグラフィ技術によりパターニングする。そして真空蒸着法やスパッタリング法等により、AuNi 合金等の金属膜を光透過性を有するように薄く堆積する。そして、新たなレジストをリフトオフすることにより、p 型クラッド層 13 a, 13 b, 13 c, ……と低抵抗性オーミック接触するアノード電極 14 a, 14 b, 14 c, ……を形成する。

(ホ) 次に、スパッタリング法等によりウェハ表面に高融点金属の薄膜を堆積する。そして、リソグラフィ技術により、レジスト（図示省略）をエッチングマスクとして用いて用い、RIE 法等により溝 31 a, 32 b, …… (Fig. 2) 上にゲート電極線 X₁, X₂, X₃, …… (Fig. 2) を形成する。このゲート電極線 X₁, X₂, X₃, ……は駆動回路部 4 a にまで延長形成され、駆動回路部 4 a 電氣的に接続する（図示省略）。次に、CVD 法により、ゲート電極線 X₁, X₂, X₃, …… (Fig. 2) 上に第 1 層間絶縁膜 17 a ~ 17 i, ……を堆積する（図示省略）。次に、スパッタリング法等により第 1 層間絶縁膜の上部全面に新たな高融点金

属も薄膜を堆積する。そして、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いたR I E法等により、Fig. 9 (c) に示すように、溝3 2 a, 3 2 b, 3 2 c, ……に沿って、ソース電極線Y₁, Y₂, Y₃, ……を形成する。このとき、ソース電極線Y₁, Y₂, Y₃, ……は、データ信号回路6 2にまで延長形成され、データ信号回路6 2に電氣的に接続される。

(ハ) 次に、CVD法により、ソース電極線Y₁, Y₂, Y₃, ……上に第2層間絶縁膜を堆積する(図示省略)。そして、リソグラフィ技術により、レジストのエッチングマスクを形成し、このエッチングマスクを用いたR I E法等により第2層間絶縁膜の一部に、アノード電極1 4 a, 1 4 b, 1 4 c, ……の一部を露出するアノードコンタクトホール、ソース電極線Y₁, Y₂, Y₃, ……の一部を露出するソースコンタクトホールを開口する。この後のT F Tを形成する工程は、本発明の第1の実施例と重複するので説明を省略する。T F T 1 6 a ~ 1 6 c, ……のゲート電極をゲート電極線X₁, X₂, X₃, ……にそれぞれ接続される。又、T F T 1 6 a ~ 1 6 c, ……のソース電極は、ソース電極線Y₁, Y₂, Y₃, ……に、ドレイン電極は、アノード電極1 4 a, 1 4 b, 1 4 c, ……にそれぞれ接続される。更に、CVD法により、T F Tのゲート電極の上に第3層間絶縁膜を堆積する(図示省略)。その後、真空蒸着法やスパッタリング法等により、基板3の裏面(第2主表面)にA lやA l N i合金等を堆積させ、カソード電極5を形成する。

(ト) 次に、リフトオフ法を用いるために、第3層間絶縁膜の上に新たなレジストを塗布し、リソグラフィ技術によりパターンニングする。そして真空蒸着法やスパッタリング法等により、蛍光体を堆積する。そして、レジストをリフトオフすることにより、Fig. 19 (c) に示すように、第1発光素子層1 0 a上に、第1蛍光体1 5 a, 1 5 e, ……をそれぞれ

れ形成する。最後に、基板 3 をパッケージにマウントすれば、Fig. 18 に示した本発明の第 6 の実施例に係る発光表示体が完成する。

なお、上述した本発明の第 6 の実施例に係る発光表示体の製造方法は、一例であり、これ以外の種々の製造方法により、実現可能であることは勿論である。

(その他の実施例)

上記のように、本発明は第 1 ～第 6 の実施例によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施例、実施例及び運用技術が明らかとなろう。

既に述べた本発明の第 1 ～第 6 の実施例において、発光素子層として AlN 系、GaN 系のワイドバンドギャップ半導体を用いているが、例えば II-VI 族の硫化亜鉛 (ZnS) 系 (禁制帯幅 $E_g = 3.6 \text{ eV}$)、セレン化亜鉛 (ZnSe) 系 ($E_g = 2.6 \text{ eV}$) 等の $E_g = 2.45 \text{ eV}$ 以上の発光素子層であれば、特に限定されない。

又、本発明の第 1 ～第 6 の実施例において、基板 3 としてシリコン単結晶基板を用いたが、例えば 6 方晶系の GaN 系からなる発光素子層を有する場合はサファイア (Al_2O_3) 基板、立方晶系の ZnS, ZnSe 系からなる発光素子層を有する場合はガリウム砒素 (GaAs) 基板等を用いることが出来、基板材料は適宜選択される。

又、本発明の第 1 ～第 5 の実施例において、蛍光体 15a, 15b, 15c, ……を第 1 蛍光体 15a, 15e, ……、第 2 蛍光体 15b, 15f, ……、第 3 蛍光体 15c, 15d, ……と分けたが、適切な発光表示が可能であれば、蛍光体 15a, 15b, 15c, ……はそれぞれが第 1 ～第 3 蛍光体のうちいずれかひとつであれば特に限定されな

い。

又、本発明の第1～第5の実施例において、第1～第3発光素子層10a, 10b, 10c, ……から出力される光の波長に応じて蛍光体15a, 15b, 15c, ……を使い分けるので、光の波長は特に限定されるものではない。即ち、蛍光体15a, 15b, 15c, ……により発光表示に適する波長に変換可能な波長の光を出力する発光素子層10a, 10b, 10c, ……であれば、その組成・構成は特に限定されるものではない。

又、本発明の第1～第3及び第5の実施例において、基板3と第1～第3発光素子層10a, 10b, 10c, ……との間に反射膜及びバッファ層として機能するDBR9a, 9b, 9c, ……を介在させているが、DBR9a, 9b, 9c, ……の代わりに、Fig. 11に示した反射金属膜18a, 18b, 18cのようなバッファ層を配置しても良い。又、DBR9a, 9b, 9c, ……の代わりに、反射膜の機能を有さないバッファ層を備えていても良い。又、バッファ層を備えていなくても構わない。本発明の第4の実施例においては、反射金属膜18a, 18b, 18cの代わりに、DBR等を用いても良い。更に、本発明の第6の実施例においては、基板3と第1～第3発光素子層10a, 10b, 10c, ……との間にDBR等のバッファ層を配置しても良い。

又、本発明の第1～第3の実施例において、DBR9a, 9b, 9c, ……及び第1～第3発光素子層10a, 10b, 10c, ……は溝31a, 31b, 31c, ……及び32a, 32b, 32c, ……により互いに分離、区画されているが、溝31a, 31b, 31c, ……及び32a, 32b, 32c, ……の代わりに、DBR9a, 9b, 9c, ……及び第1～第3発光素子層10a, 10b, 10c, ……に例えばプロトン (H^+) を照射して形成された高比抵抗領域により区画しても

良い。

又、本発明の第1～第3、第5及び第6の実施例に係る発光表示体はTF T 1 6 a～1 6 c, ……を具備しているが、TF T 1 6 a～1 6 c, ……の代わりに、実用化されている2端子素子である薄膜ダイオード(TFD)や金属・絶縁体・金属(MIM)ダイオード等をスイッチング素子として用いても構わない。

又、本発明の第6の実施例において、第1蛍光体1 5 a, 1 5 e, ……の代わりに、第2蛍光体1 5 b, 1 5 f, ……を用いても良い。又、例えば第1発光素子層1 0 a, 1 0 e, ……及び第2発光素子層1 0 b, 1 0 f, ……が第1波長及び第2波長として青色光の代わりに紫外光を放出する場合、第1波長である紫外光を第1波長として青色光に波長変換する第1蛍光体1 5 a, 1 5 e, ……及び、第2波長である紫外光を第2波長として青色光に波長変換する第2蛍光体1 5 b, 1 5 f, ……を具備すれば、第3発光素子層1 0 c, 1 0 d, ……から第3波長として赤色の励起光を出力するので、フルカラーを表示できる。

このように、本発明はここでは記載していない様々な実施例等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

産業上の利用可能性

本発明によれば、表示速度が速く、長寿命であり耐環境性にも優れ、光の損失が小さくエネルギーを節約出来、生産工程が簡単で、ローコスト化が図れる半導体発光素子、発光表示体、半導体発光素子の製造方法及び発光表示体の製造方法を提供出来る。

請求の範囲

1. 基板と、

前記基板上に互いに分離形成され、それぞれ前記基板より禁制帯幅の広い半導体材料からなる複数の発光素子層と、

前記発光素子層からの光の波長を他の波長に変換する蛍光体とを備えることを特徴とする半導体発光素子。

2. 前記基板は、シリコン単結晶基板であることを特徴とする請求の範囲第1項記載の半導体発光素子。

3. 前記発光素子層は、窒化物系化合物半導体からなることを特徴とする請求の範囲第1項記載の半導体発光素子。

4. 前記基板と前記発光素子層との間にブラッグ反射膜を更に備えることを特徴とする請求の範囲第1項記載の半導体発光素子。

5. 前記基板と前記発光素子層との間に金属反射膜を更に備えることを特徴とする請求の範囲第1項記載の半導体発光素子。

6. 前記複数の発光素子層は、素子分離領域により互いに区画されていることを特徴とする請求の範囲第1項記載の半導体発光素子。

7. 前記素子分離領域は、前記発光素子層間に形成された溝であることを特徴とする請求の範囲第6項記載の半導体発光素子。

8. 前記複数の発光素子層は、同一の波長の励起光を発光する第1～第3発光素子層とからなることを特徴とする請求の範囲第1項記載の半導体発光素子。

9. 前記蛍光体は、前記第1発光素子層上に配置され、前記第1発光素子層からの前記励起光の波長を第1波長に変換する第1蛍光体を含むことを特徴とする請求の範囲第8項記載の半導体発光素子。

10. 前記蛍光体は、前記第2発光素子層上に配置され、前記第2発光素子層からの前記励起光の波長を前記第1波長とは異なる第2波長に変換する第2蛍光体を更に含むことを特徴とする請求の範囲第9項記載の半導体発光素子。

11. 前記蛍光体は、前記第3発光素子層上に配置され、前記第3発光素子層からの前記励起光の波長を前記第1及び第2波長とは異なる第3波長に変換する第3蛍光体を更に含むことを特徴とする請求の範囲第10項記載の半導体発光素子。

12. 基板と、前記基板上に複数の単位画素を配置した発光表示体であって、前記単位画素は、

前記基板上に互いに分離形成され、それぞれ前記基板より禁制帯幅の広い半導体材料からなる複数の発光素子層と、

前記発光素子層からの光の波長を他の波長に変換する蛍光体とからなることを特徴とする発光表示体。

13. 前記基板と前記発光素子層との間にブラッグ反射膜を更に備える

ことを特徴とする請求の範囲第 1 2 項記載の発光表示体。

1 4. 前記基板に、前記発光素子層からの発光を制御するための半導体素子を更に備えることを特徴とする請求の範囲 1 2 項記載の発光表示体。

1 5. 前記複数の発光素子層は、同一の波長の励起光を発光する第 1 ～第 3 発光素子層とからなることを特徴とする請求の範囲第 1 2 項記載の発光表示体。

1 6. 前記蛍光体は、前記第 1 発光素子層上に配置され、前記第 1 発光素子層からの前記励起光の波長を第 1 波長に変換する第 1 蛍光体を含むことを特徴とする請求の範囲第 1 5 項記載の発光表示体。

1 7. 前記蛍光体は、前記第 2 発光素子層上に配置され、前記第 2 発光素子層からの前記励起光の波長を前記第 1 波長とは異なる第 2 波長に変換する第 2 蛍光体を更に含むことを特徴とする請求の範囲第 1 6 項記載の発光表示体。

1 8. 前記蛍光体は、前記第 3 発光素子層上に配置され、前記第 3 発光素子層からの前記励起光の波長を前記第 1 及び第 2 波長とは異なる第 3 波長に変換する第 3 蛍光体を更に含むことを特徴とする請求の範囲第 1 7 項記載の発光表示体。

1 9. 基板上に、前記基板より禁制帯幅の広い発光層を形成し、
前記発光層を分離して複数の発光素子層を形成し、
前記発光素子層上に、前記発光素子層からの光の波長を他の波長に変

換する蛍光体を形成する

ことを特徴とする半導体発光素子の製造方法。

20. 前記発光素子層を形成する工程は、前記発光層の一部を選択的に除去して、前記発光層の残部からなる前記複数の発光素子層を形成する

ことを特徴とする請求の範囲第19項記載の半導体発光素子の製造方法。

21. 前記発光層を形成する前に、前記基板上にブラッグ反射膜を形成し、

前記発光素子層を形成する際に、前記ブラッグ反射膜が前記分離した発光素子層の下部のみに局在するように、前記ブラッグ反射膜の一部を選択的に除去する

ことを特徴とする請求の範囲第19項記載の半導体発光素子の製造方法。

22. 前記発光層を形成する前に、前記基板上に金属反射膜を形成し、

前記発光素子層を形成する際に、前記金属反射膜が前記分離した発光素子層の下部のみに局在するように、前記金属反射膜の一部を選択的に除去する

ことを特徴とする請求の範囲第19項記載の半導体発光素子の製造方法。

23. 前記発光素子層を形成する工程は、前記発光層の内部に素子分離領域を形成することにより、前記素子分離領域で区画された前記複数の発光素子層を形成することを特徴とする請求の範囲第19項記載の半導

体発光素子の製造方法。

24. 基板と、前記基板上に複数の単位画素を配置した発光表示体の製造方法であって、

前記基板上に、前記基板より禁制帯幅の広い発光層を形成し、

前記発光層を分離して複数の発光素子層を形成し、

前記発光素子層上に、前記発光素子層からの光の波長を他の波長に変換する蛍光体を形成する

ことにより前記単位画素を形成することを特徴とする発光表示体の製造方法。

FIG.1

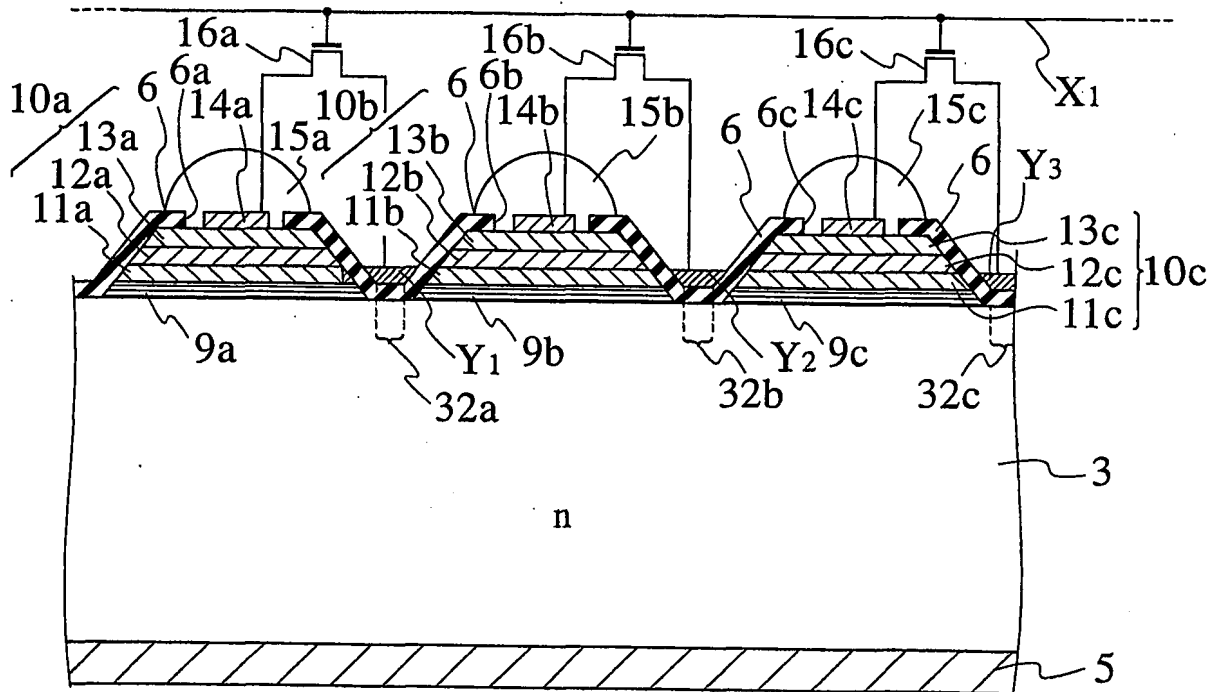


FIG. 2

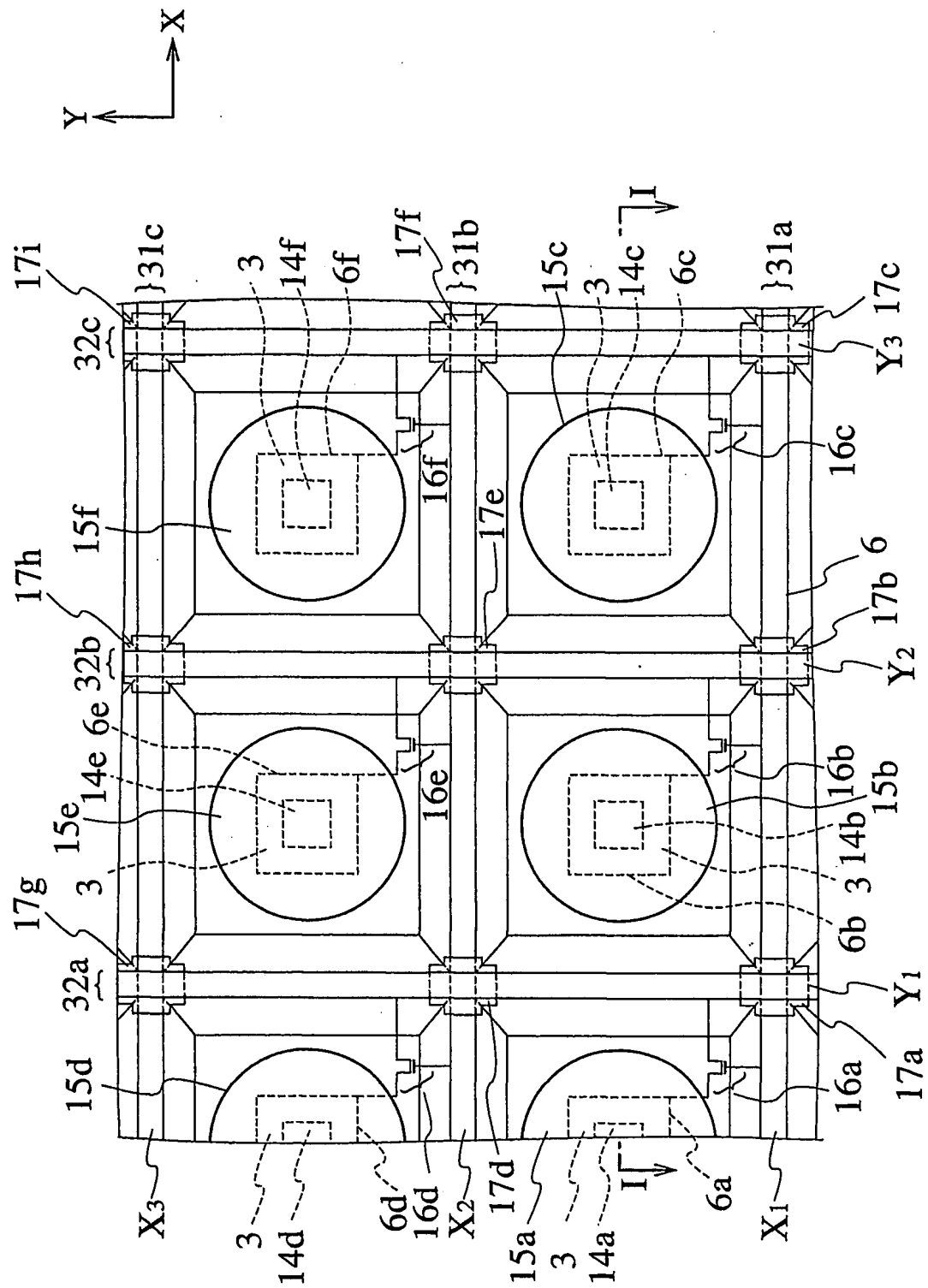


FIG.3

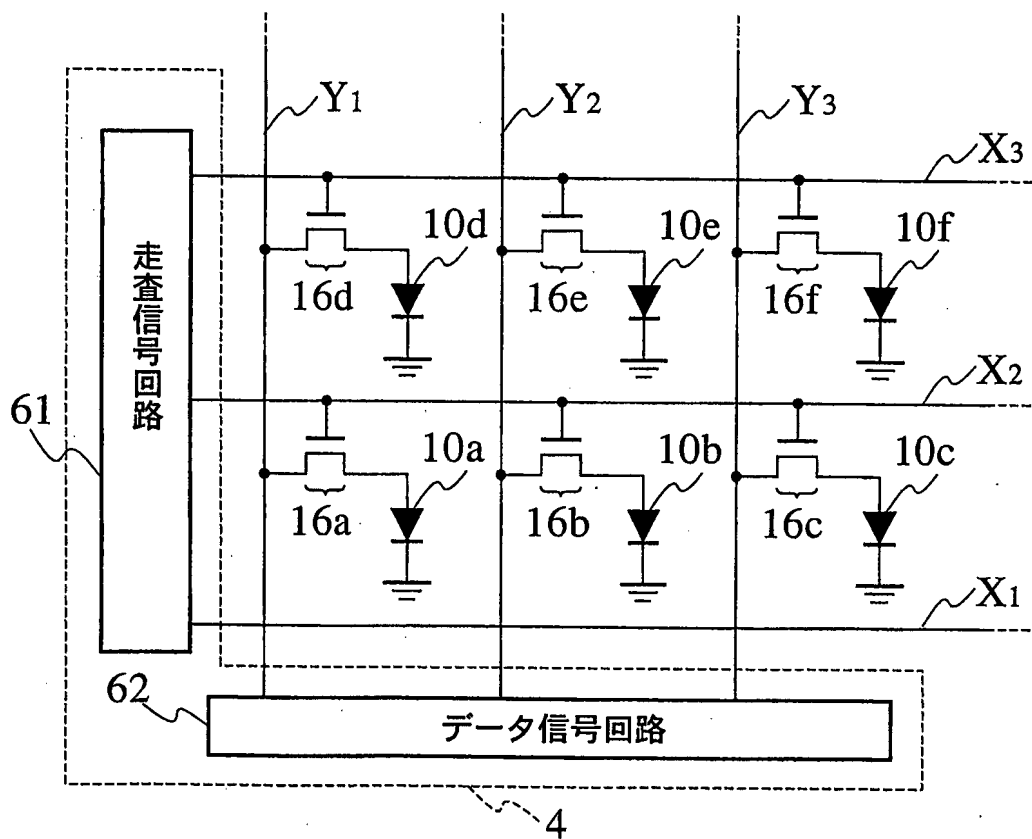
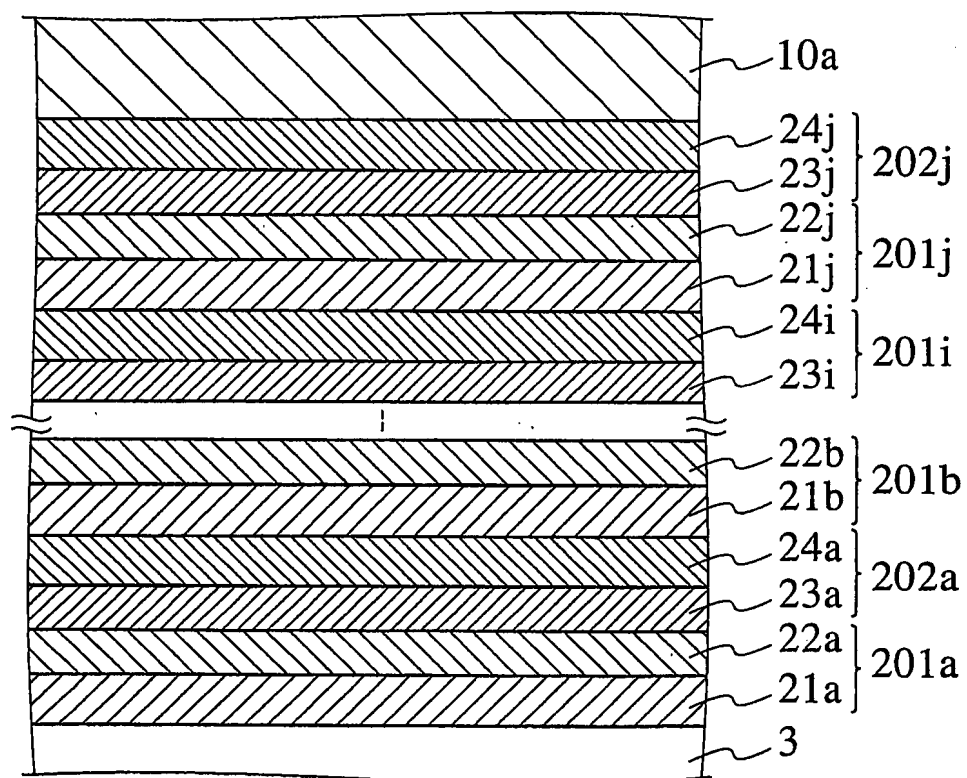
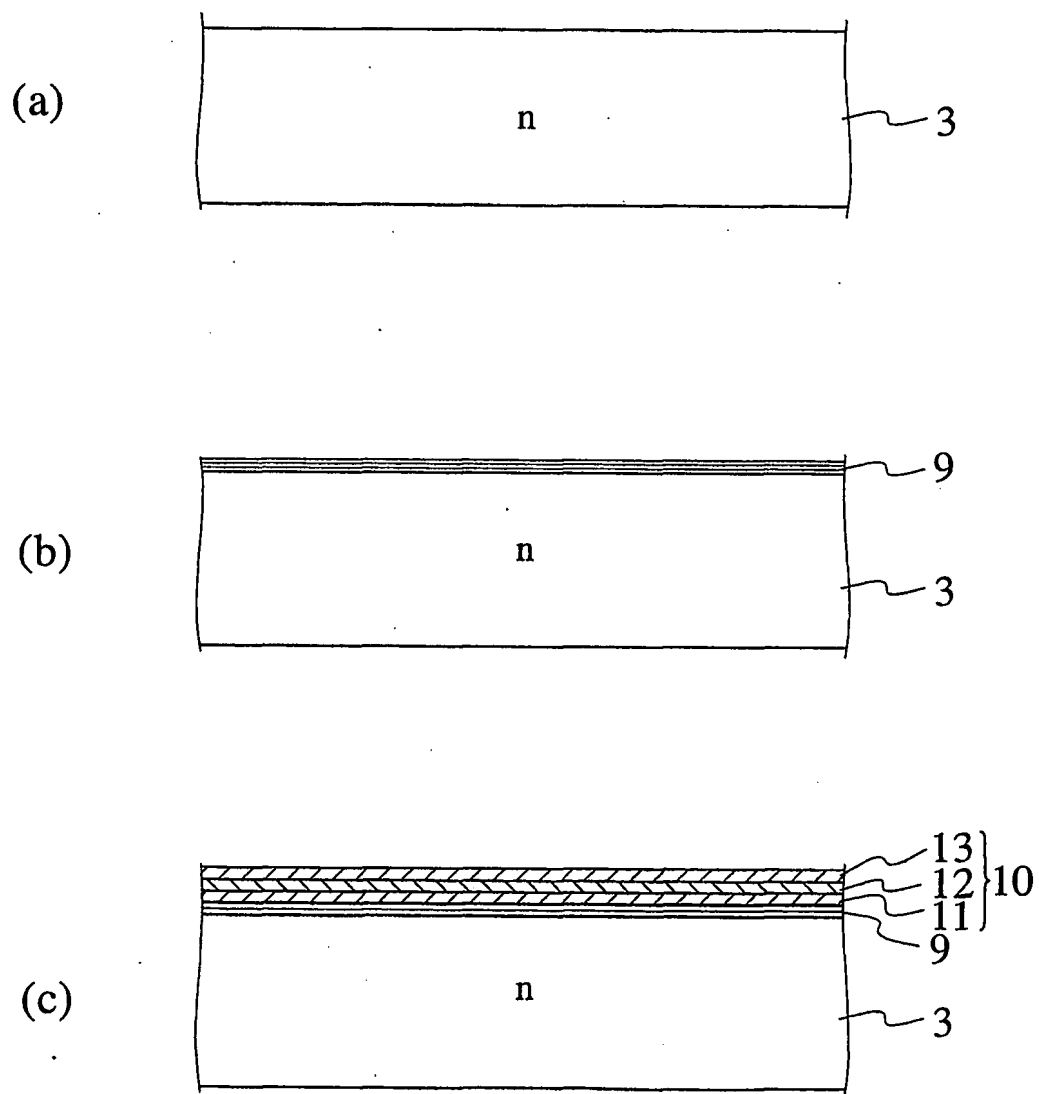


FIG.4



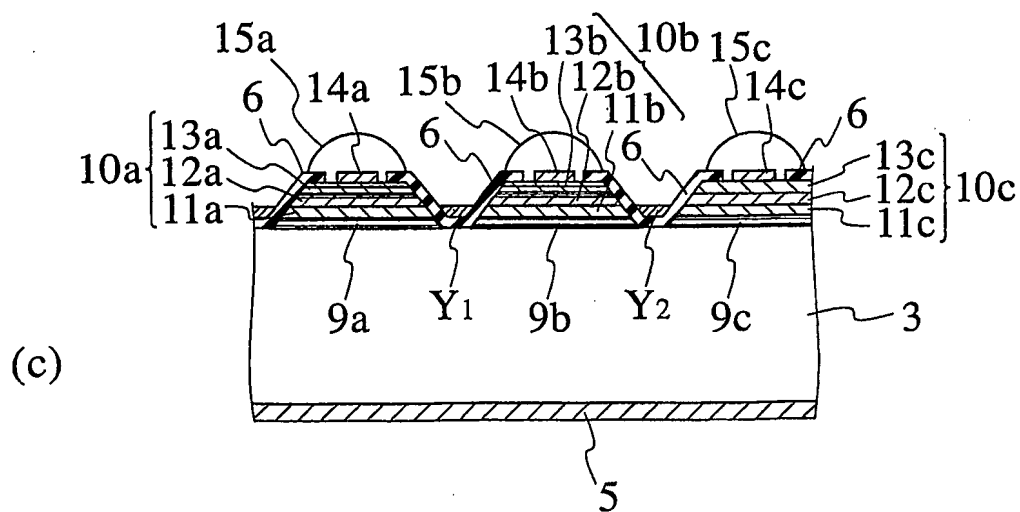
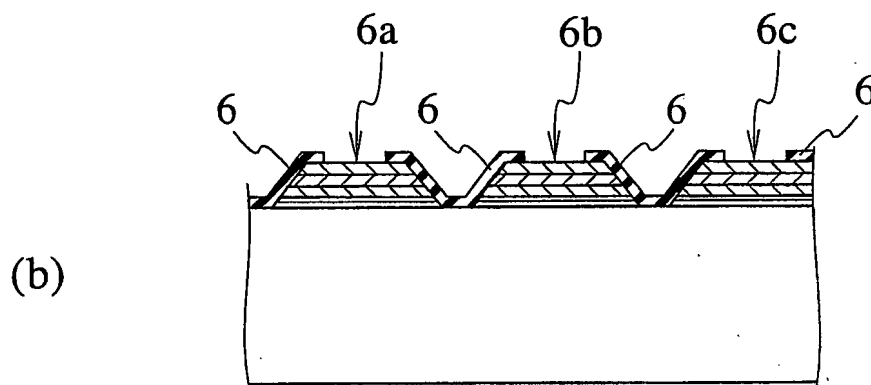
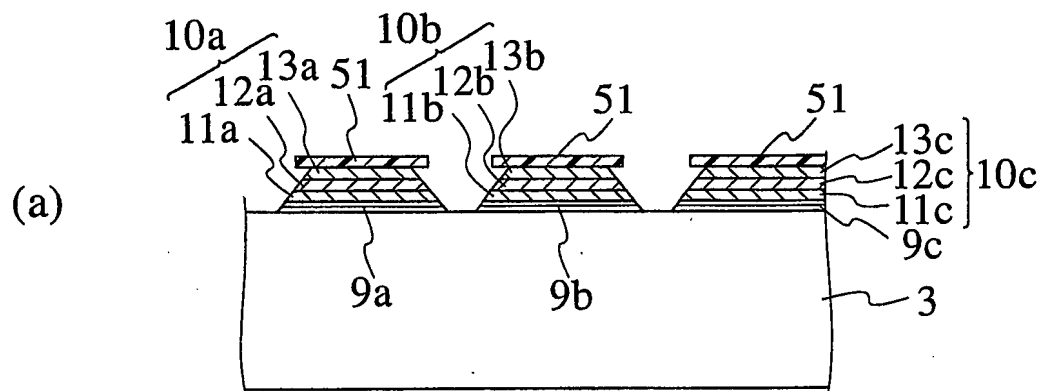
5/20

FIG.5



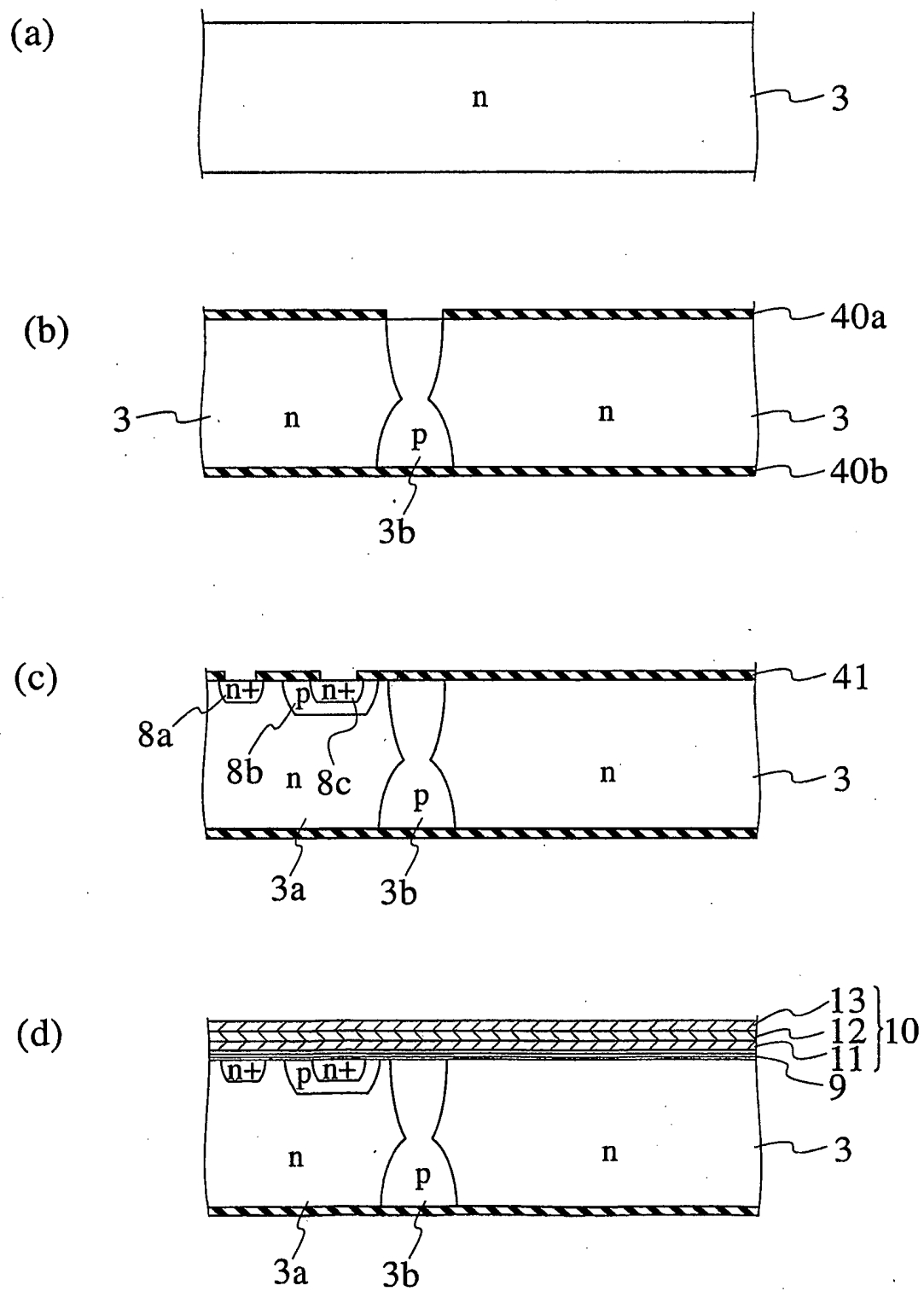
6/20

FIG.6



8/20

FIG.8



9/20

FIG.9

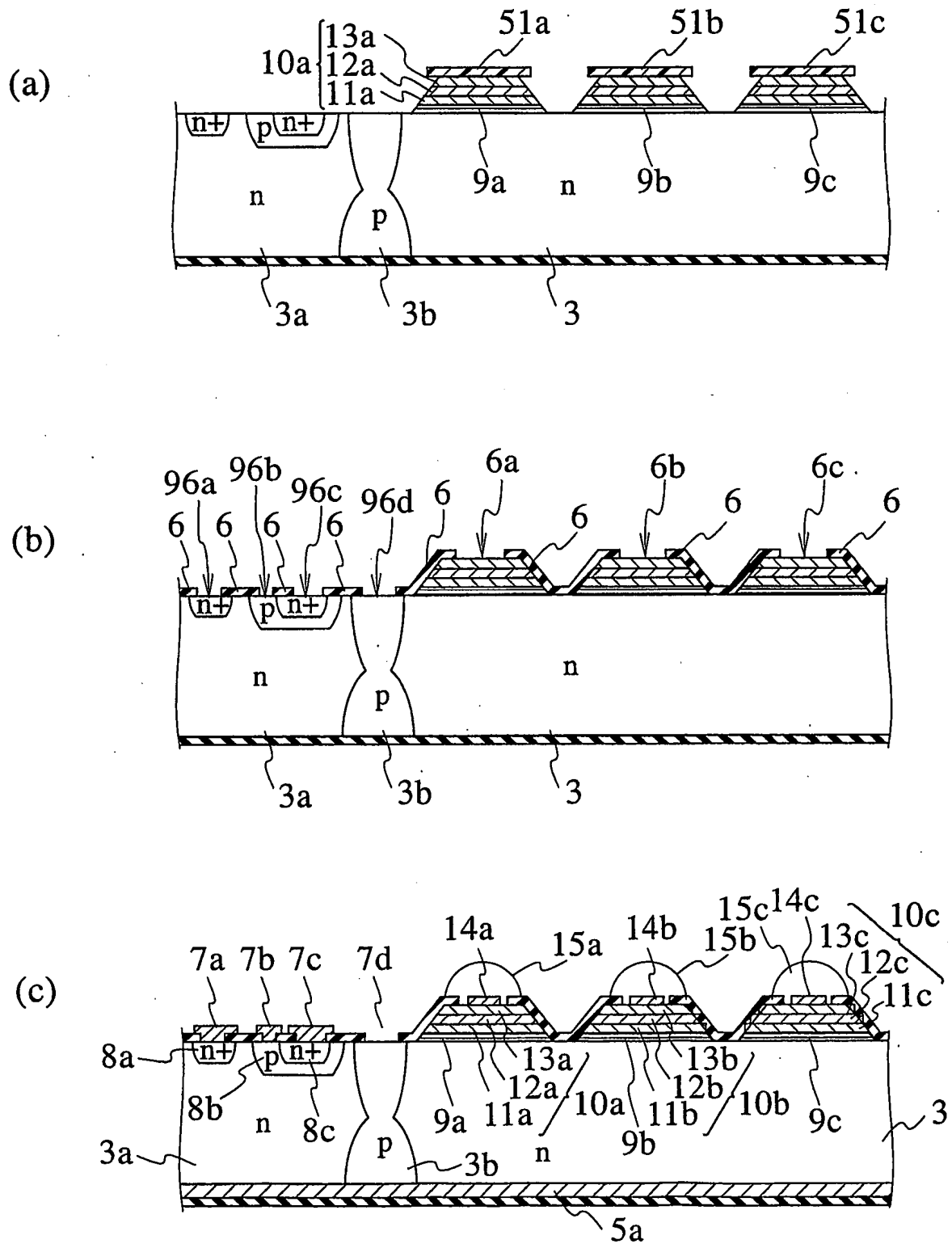
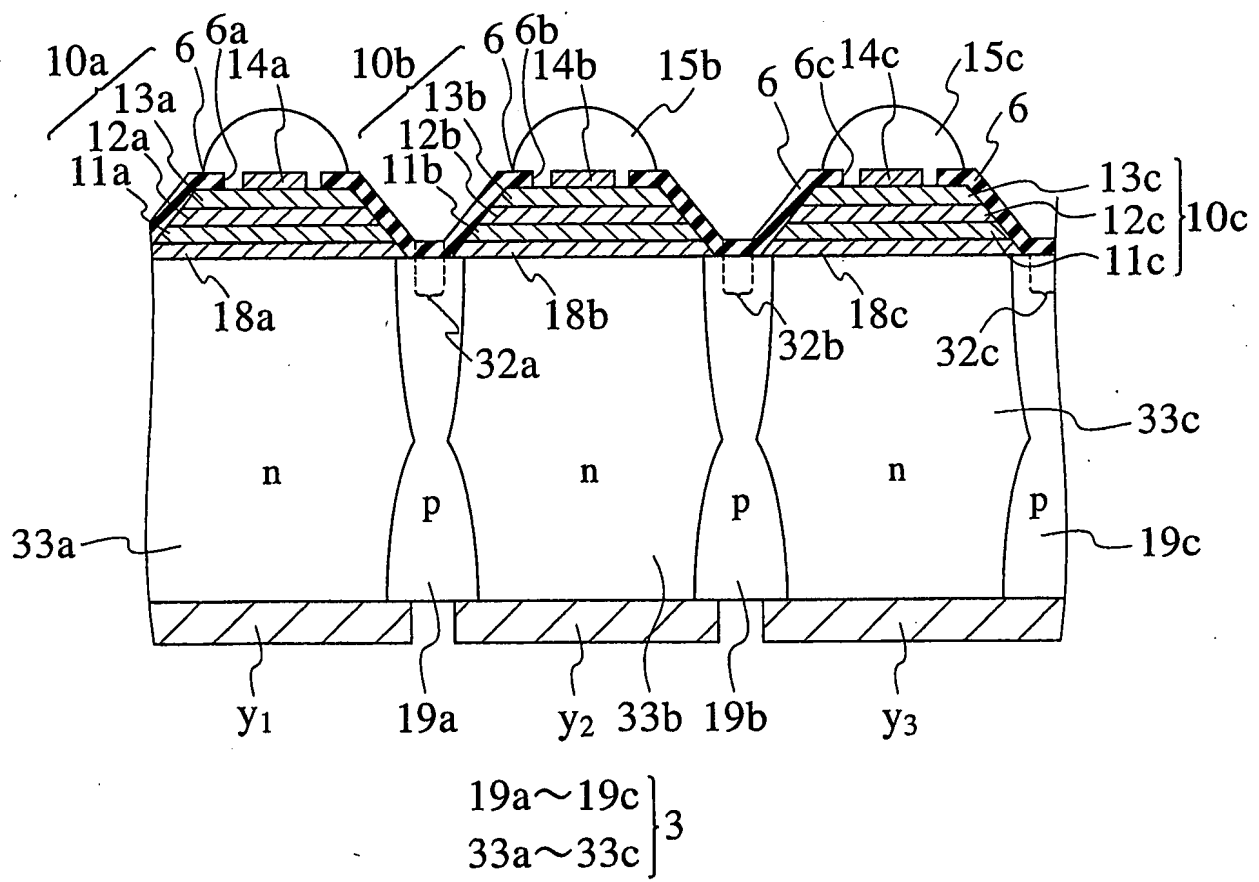


FIG.11



12/20

FIG.12

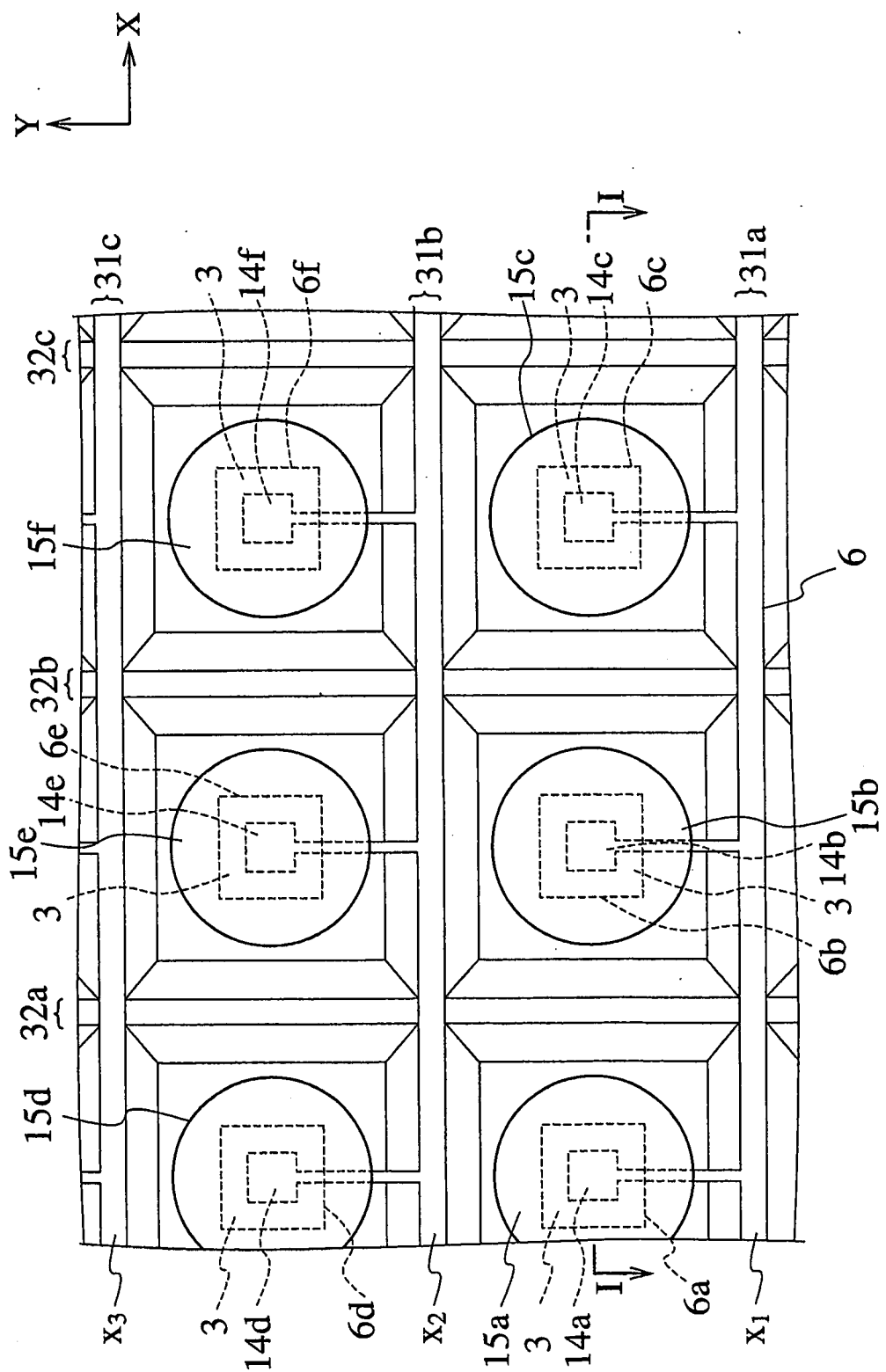
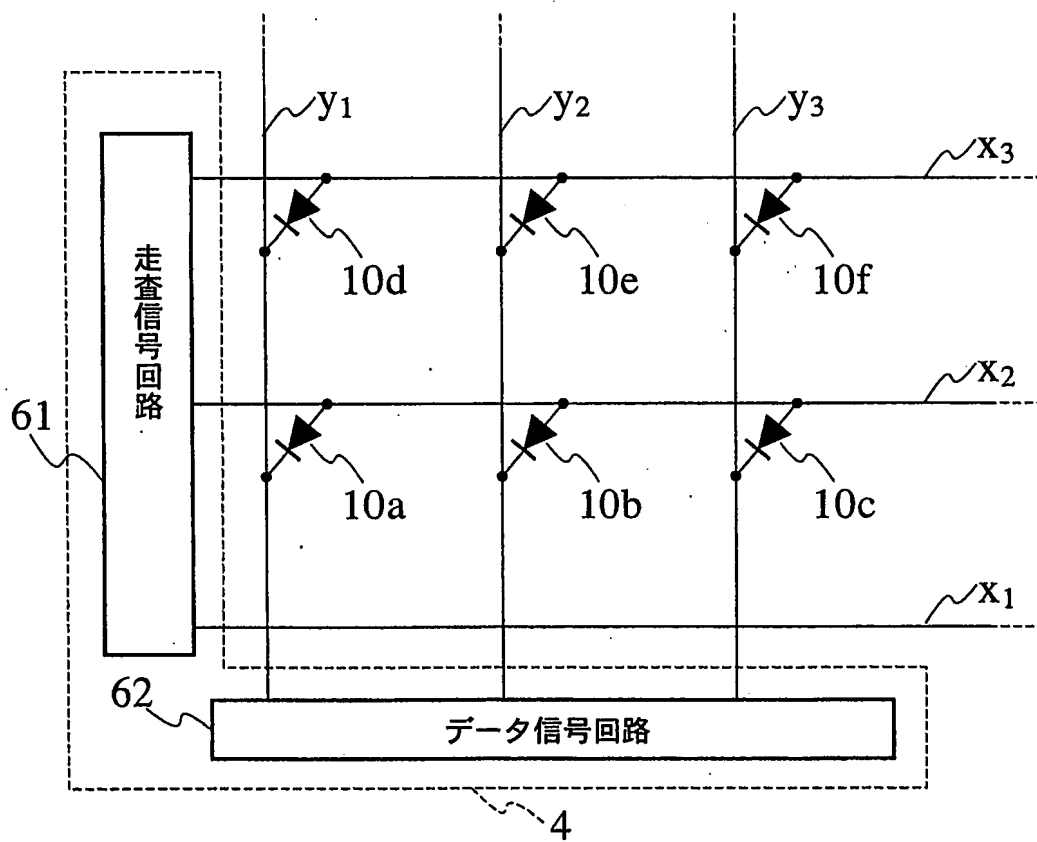


FIG.13



14/20

FIG.14

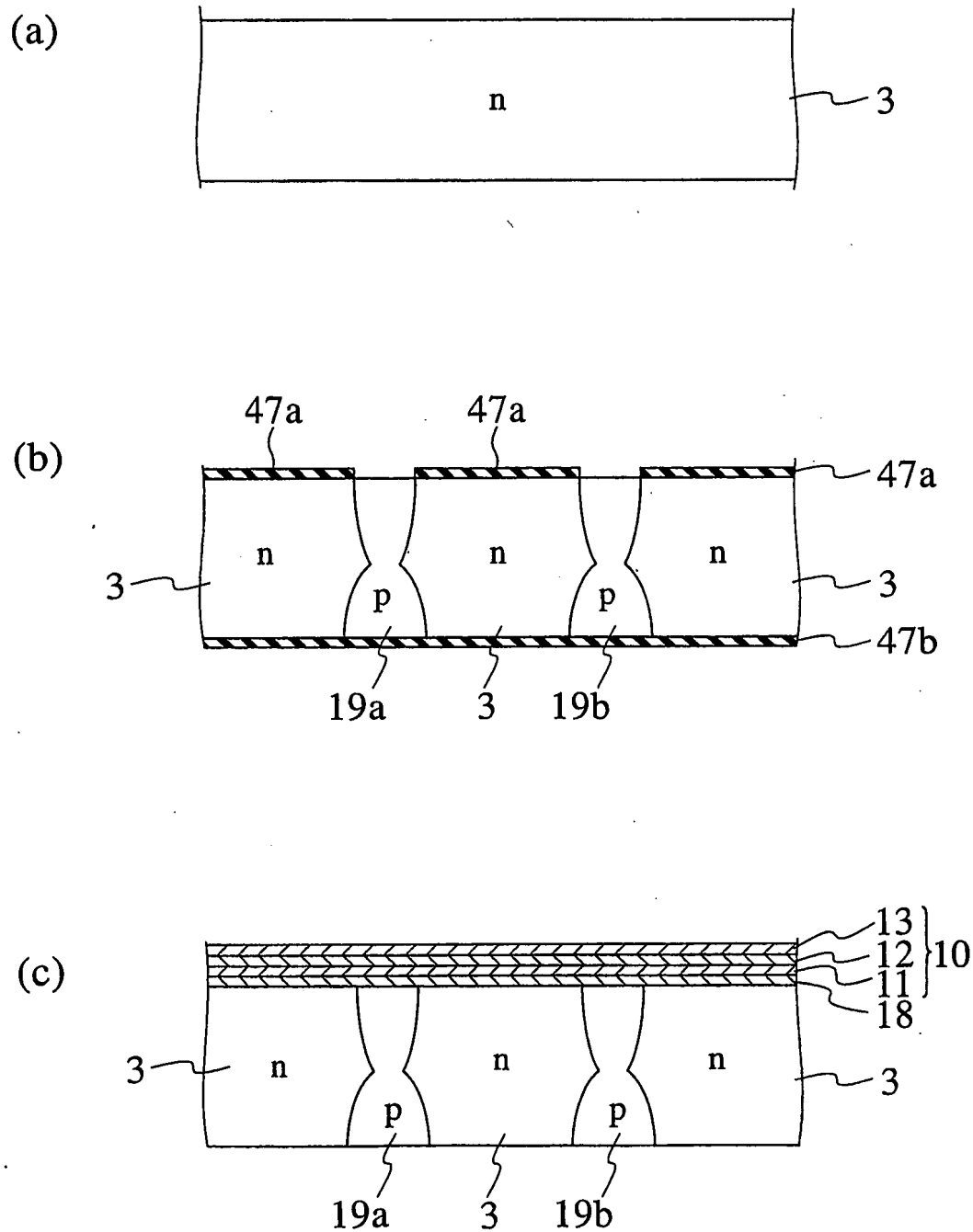
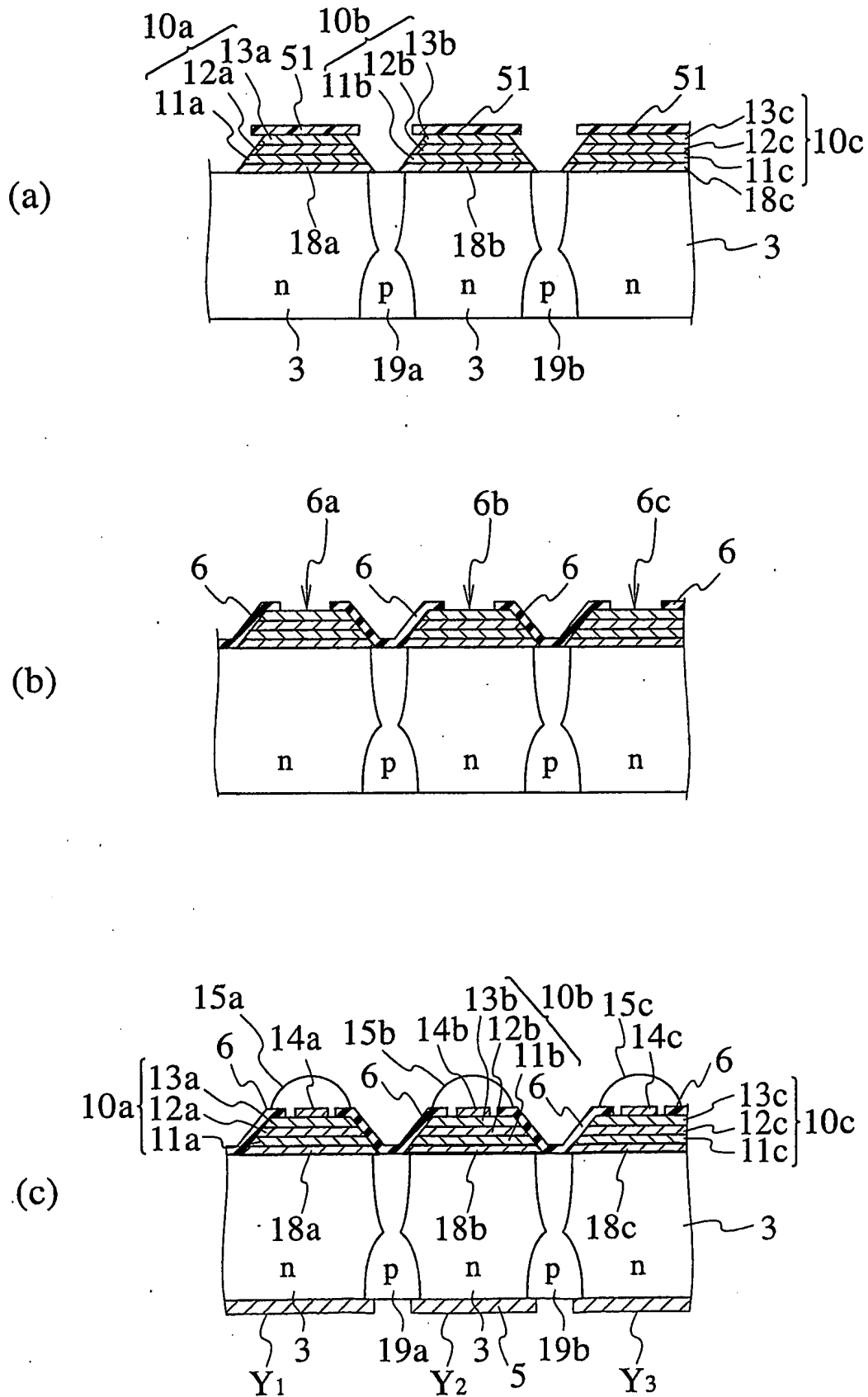
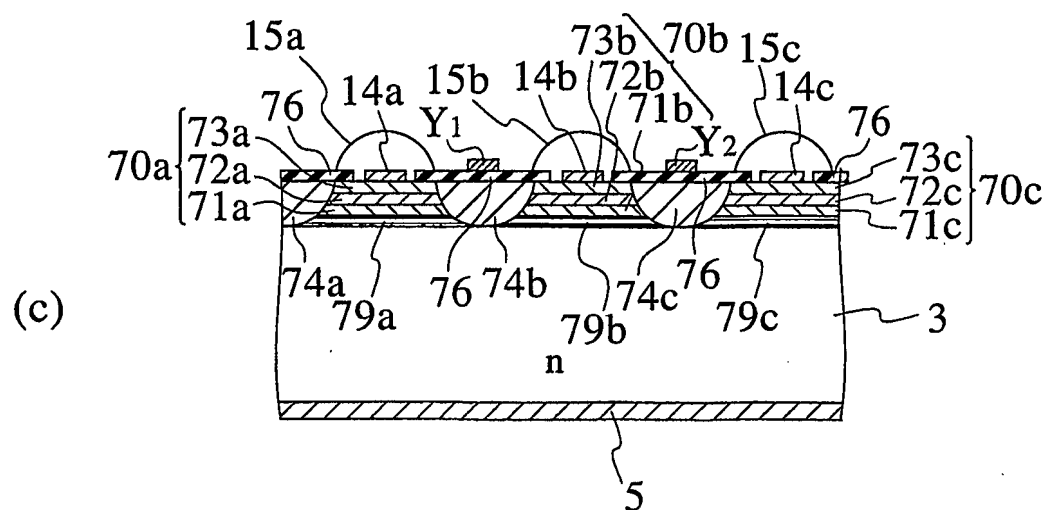
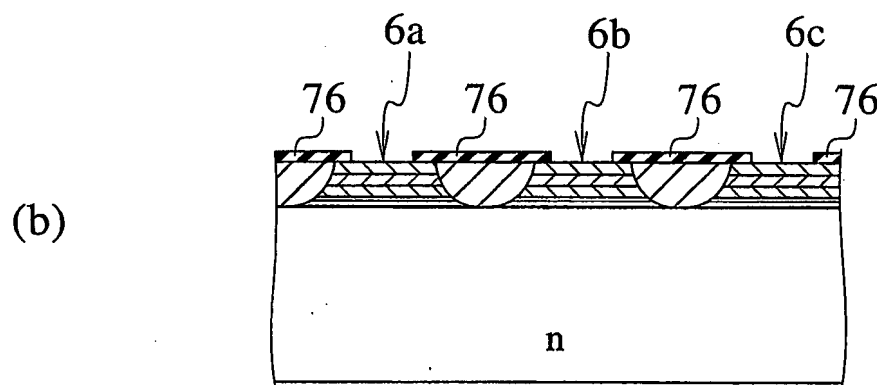
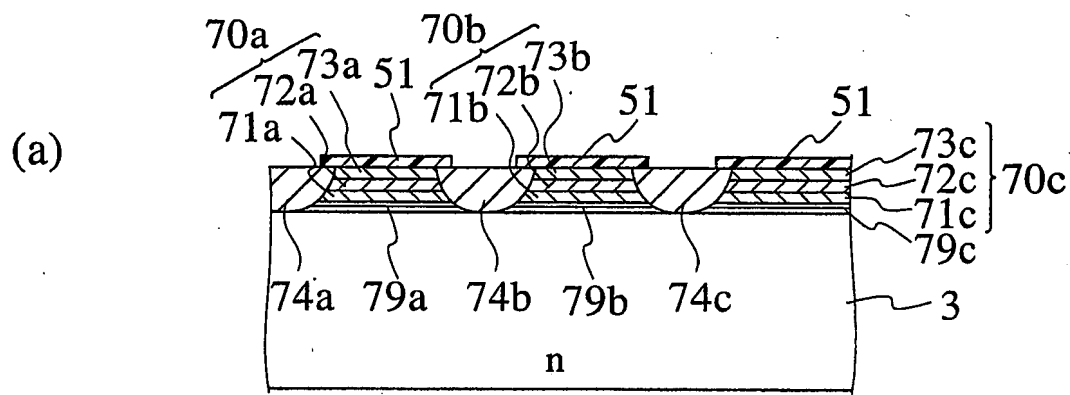


FIG. 15



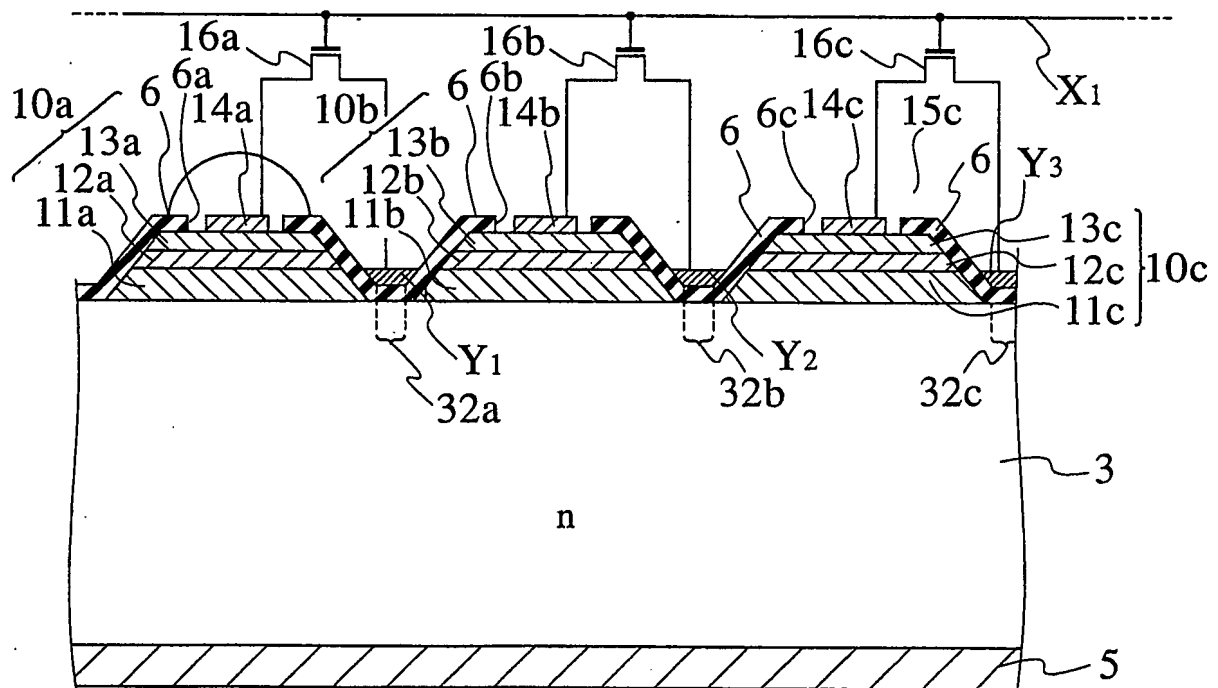
17/20

FIG.17



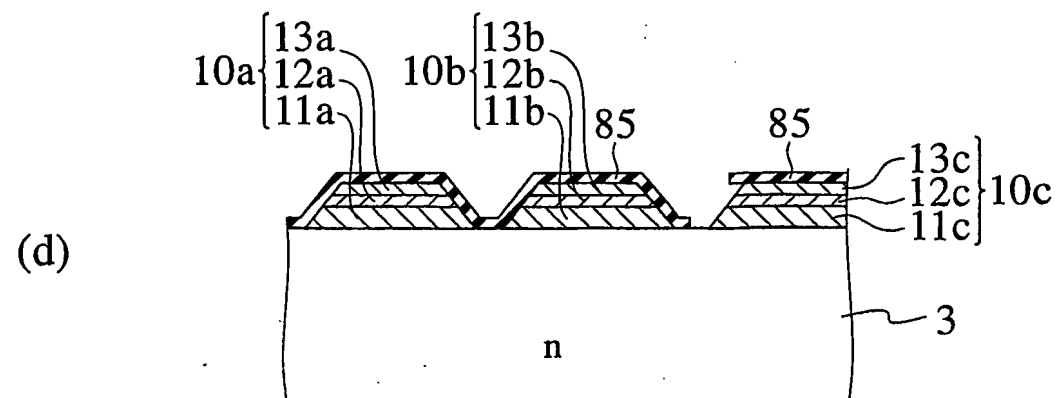
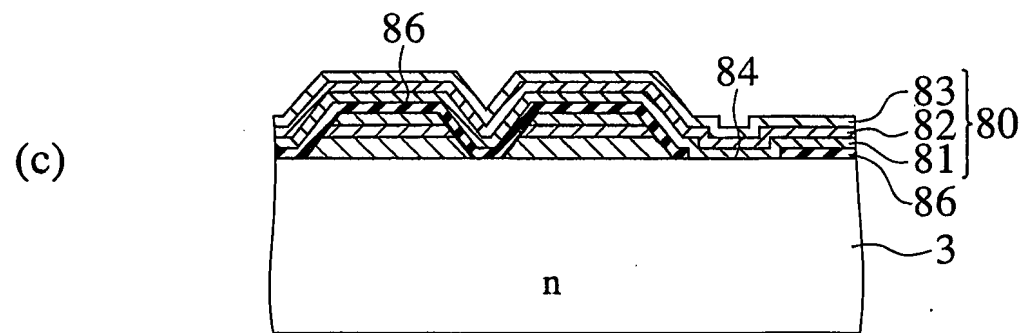
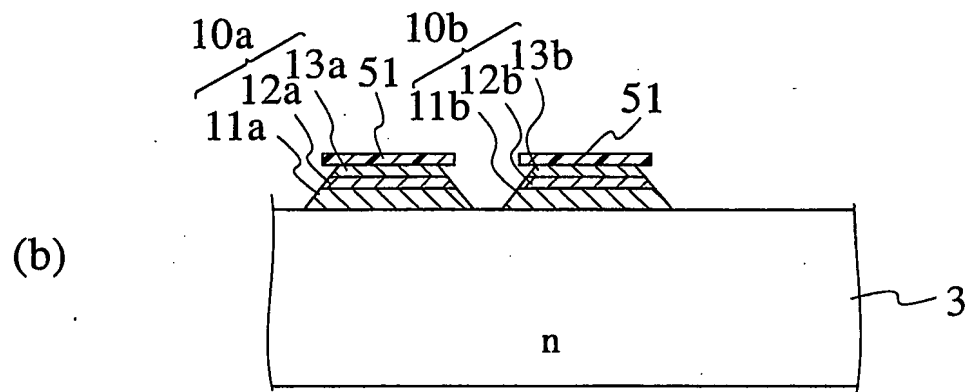
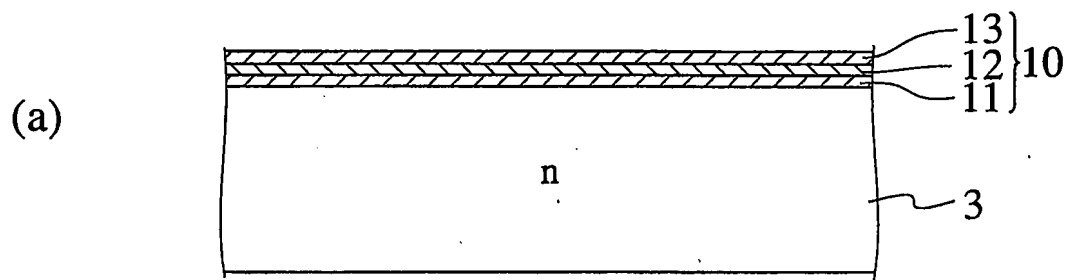
18/20

FIG.18



19/20

FIG.19



20/20

FIG. 20

